

대한민국 특허청  
KOREAN INTELLECTUAL  
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2003-0026581  
Application Number

출원년월일 : 2003년 04월 26일  
Date of Application APR 26, 2003

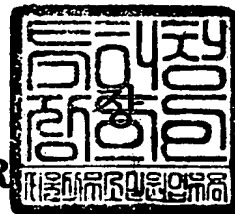
출원인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003      년      05      월      09      일

특      허      청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.04.26
【국제특허분류】	H01L 23/12
【발명의 명칭】	멀티칩 B G A 패키지
【발명의 영문명칭】	Multi-chip BGA package
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	윤동열
【대리인코드】	9-1998-000307-3
【포괄위임등록번호】	1999-005918-7
【대리인】	
【성명】	이선희
【대리인코드】	9-1998-000434-4
【포괄위임등록번호】	1999-025833-2
【발명자】	
【성명의 국문표기】	이동호
【성명의 영문표기】	LEE, Dong Ho
【주민등록번호】	610521-1055439
【우편번호】	463-739
【주소】	경기도 성남시 분당구 미금동 까치마을 신원아파트 313동 1502호
【국적】	KR
【발명자】	
【성명의 국문표기】	이종주
【성명의 영문표기】	LEE, Jong Joo
【주민등록번호】	710421-1790410
【우편번호】	442-725

【주소】	경기도 수원시 팔달구 영통동 벽적골8단지아파트 836동 1002호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 윤동열 (인) 대리인 이선희 (인)
【수수료】	
【기본출원료】	20 면                      29,000 원
【가산출원료】	60 면                      60,000 원
【우선권주장료】	0 건                        0 원
【심사청구료】	18 항                      685,000 원
【합계】	774,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통 2. 위임장[1999년 1월 21일 포괄위임등록]_1통

**【요약서】****【요약】**

본 발명은 전기적 특성이 향상되도록 개선된 멀티칩 BGA 패키지에 관한 것이다.

본 발명에 따른 멀티칩 BGA 패키지는, 제1전원칩패드 및 제1접지칩패드를 구비한 제1재배선칩, 그리고 제2전원칩패드 및 제2접지칩패드를 구비한 제2재배선칩을 포함하는 멀티칩 BGA 패키지에 있어서, 그 제1 및 제2재배선칩 각각의 활성면상에 형성되어 서로 대향되는 제1 및 제2전극판을 각각 포함하고, 그 제1전극판은 그 제1전원칩패드 및 그 제1접지칩패드 중에서 선택된 어느 하나와 전기적으로 연결되며, 그 제2전극판은 그 제1전원칩패드 및 그 제1접지칩패드 중에서의 나머지와 전기적으로 연결되는 그 제2전원칩패드 및 그 제2접지칩패드 중에서의 어느 하나와 전기적으로 연결되는 것을 특징으로 한다.

이에 따라, 전원 공급특성 및 전기신호 전달특성이 향상되며, 동작성능이 안정된 멀티칩 BGA 패키지가 제공된다.

**【대표도】**

도 6

**【색인어】**

멀티칩, BGA, 패키지, 전원, 접지, 재배선, 범프

**【명세서】****【발명의 명칭】**

멀티칩 BGA 패키지(Multi-chip BGA package)

**【도면의 간단한 설명】**

도 1은 종래의 멀티칩 BGA 패키지의 일례를 개략적으로 나타낸 단면도이다.

도 2는 본 발명의 일실시예에 따른 멀티칩 BGA 패키지를 개략적으로 나타낸 단면도이다.

도 3a는 본 발명의 일실시예에 따른 멀티칩 BGA 패키지의 제1재배선칩에 대한 재배선을 개략적으로 나타낸 평면도이다.

도 3b는 본 발명의 일실시예에 따른 멀티칩 BGA 패키지의 제2재배선칩에 대한 재배선을 개략적으로 나타낸 평면도이다.

도 3c는 도 3a의 T부분에 대한 평면도이다.

도 3d는 도 3c의 K-K'에 대한 단면도이다.

도 4는 본 발명의 일실시예에 따른 멀티칩 BGA 패키지를 개략적으로 나타낸 단면도이다.

도 5a는 본 발명의 일실시예에 따른 멀티칩 BGA 패키지의 제3재배선칩에 대한 재배선을 개략적으로 나타낸 평면도이다.

도 5b는 도 4에서의 J-J'에 대한 단면도이다.

도 6은 본 발명의 일실시예에 따른 멀티칩 BGA 패키지를 개략적으로 나타낸 단면도이다.

도 7a는 본 발명의 일실시예에 따른 멀티칩 BGA 패키지의 제4재배선칩에 대한 재배선을 개략적으로 나타낸 평면도이다.

도 7b는 본 발명의 일실시예에 따른 멀티칩 BGA 패키지의 제5재배선칩에 대한 재배선을 개략적으로 나타낸 평면도이다.

도 8a는 도 6에서 제2범프가 제거된 상태에서의 접점 N1에서부터 접점 N5까지에 대한 인덕턴스를 나타낸 회로도이다.

도 8b는 도 6에서의 접점 N1에서부터 접점 N5까지에 대한 인덕턴스를 나타낸 회로도이다.

도 9a는 본 발명의 일실시예에 따른 멀티칩 BGA 패키지의 제6재배선칩에 대한 재배선을 개략적으로 나타낸 평면도이다.

도 9b는 본 발명의 일실시예에 따른 멀티칩 BGA 패키지의 제7재배선칩에 대한 재배선을 개략적으로 나타낸 평면도이다.

도 10a는 본 발명의 일실시예에 따른 멀티칩 BGA 패키지의 제8재배선칩에 대한 재배선을 개략적으로 나타낸 평면도이다.

도 10b는 본 발명의 일실시예에 따른 멀티칩 BGA 패키지의 제9재배선칩에 대한 재배선을 개략적으로 나타낸 평면도이다.

도 11a는 본 발명의 일실시예에 따른 멀티칩 BGA 패키지의 제10재배선칩에 대한 재배선을 개략적으로 나타낸 평면도이다.

도 11b는 본 발명의 일실시예에 따른 멀티칩 BGA 패키지의 제11재배선칩에 대한 재배선을 개략적으로 나타낸 평면도이다.

도 12a는 본 발명의 일실시예에 따른 멀티칩 BGA 패키지의 제12재배선칩에 대한 재배선을 개략적으로 나타낸 평면도이다.

도 12b는 본 발명의 일실시예에 따른 멀티칩 BGA 패키지의 제13재배선칩에 대한 재배선을 개략적으로 나타낸 평면도이다.

도 13은 본 발명의 일실시예에 따른 멀티칩 BGA 패키지를 개략적으로 나타낸 단면도이다.

<도면의 주요부분에 대한 부호의 설명>

1:기판      2:도전성 볼

3:본딩와이어      4:봉지재

5:제1범프      6:제2범프

102:제3칩패드      105:제3전극판

109:제3범핑패드      110:제2본딩패드

200:제4재배선칩      208:제3재배선

209:제4범핑패드      300:제5재배선칩

302:제5칩패드      304:제4재배선

305:제5범핑패드      306:제6범핑패드

307:제6전극판

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <35> 본 발명은 반도체칩의 고밀도 실장이 가능한 멀티칩 BGA 패키지에 관한 것으로, 보다 상세하게는, 전원공급에 의한 스위칭 노이즈가 감소되도록 감결합 커패시터가 채용되고, 신호 전달특성이 향상되도록 재배선 구조가 개선된 멀티칩 BGA 패키지에 관한 것이다.
- <36> 재배선칩을 패키징하는 기술 중에서 멀티칩 패키지는 2개 이상의 재배선칩을 리드 프레임이나 기판상에 실장하는 기술이다. 특히, 이 중에서 BGA(ball grid array) 패키지는 재배선칩이 부착된 기판의 저면(底面)에 외부와 전기적 연결이 가능하도록 배치된 도전성 볼(conductive ball)이 사용된다.
- <37> 도 1은 종래의 멀티칩 BGA 패키지(M1)의 일례를 개략적으로 나타낸 단면도이다.
- <38> 도 1에 도시된 바와 같은 종래의 멀티칩 패키지(M1)는, 하부 및 상부 재배선칩(10)(20), 제1범프(bump)(5), 기판(1), 본딩와이어(bonding wire)(3), 봉지재(4)를 구비한다.
- <39> 하부 및 상부 재배선칩(10)(20)은 각각의 활성면(active layer)이 서로 마주 보도록 이격 배치된다.
- <40> 하부 재배선칩(10)은 하부 반도체칩(11), 하부 제1절연층(13), 하부 재배선(14) 및 하부 제2절연층(17)을 포함한다.

<41> 하부 반도체칩(11)은 센터패드형 반도체칩으로서 그 활성면상에 하부 칩패드(chip pad)(12)가 배열되고, 하부 칩패드(12)가 노출되도록 질화막 등으로 구성된 패시베이션층(passivation layer; 도시되지 않음)이 형성되어 있다. 하부 반도체칩(11)상에는 하부 칩패드(12)가 노출되도록 패터닝(patterning)된 하부 제1절연층(13)이 형성된다. 하부 제1절연층(13)상에는 하부 재배선(14)이 형성되며, 하부 재배선(14)은 노출된 하부 칩패드(12)와 전기적으로 연결된다. 하부 재배선(14)은 하부 칩패드(12)의 배열방향을 따라 하부 칩패드(12)로부터 하부 재배선칩(10)의 좌우 가장자리까지 교대로 연장된다. 하부 제1절연층(13) 및 하부 재배선(14)상에는 하부 범핑패드(bumping pad)(15) 및 하부 본딩패드(bonding pad)(16)가 노출되도록 패터닝된 하부 제2절연층(17)이 형성된다.

<42> 상부 재배선칩(20)은 상부 반도체칩(21), 상부 제1절연층(23), 상부 재배선(24) 및 상부 제2절연층(26)을 포함한다.

<43> 상부 반도체칩(21)은 센터패드형 반도체칩으로서 그 활성면상에 상부 칩패드(22)가 배열되고, 상부 칩패드(22)가 노출되도록 질화막 등으로 구성된 패시베이션층(passivation layer; 도시되지 않음)이 형성되어 있다. 상부 반도체칩(21)상에는 상부 칩패드(22)가 노출되도록 패터닝된 상부 제1절연층(23)이 형성된다. 상부 제1절연층(23)상에는 상부 재배선(24)이 형성되며, 상부 재배선(24)은 노출된 상부 칩패드(22)와 전기적으로 연결된다. 상부 재배선(24)은 하부 재배선칩(10)의 하부 재배선(14)에 대응되도록 상부 칩패드(22)로부터 상부 재배선칩(20)의 좌우 가장자리까지 교대로 형성된다. 상부 제1절연층(23) 및 상부 재배선(24)상에는 상부 범핑패드(25)가 노출되도록 패터닝된 상부 제2절연층(26)이 형성된다. 상부 범핑패드(25)는 상부 재배선(24)상에 형성된다.

- <44> 제1범프(5)는 소정의 본딩 방법에 의하여 상부 및 하부 범핑패드(15)(25) 사이에 용착된다. 즉, 제1범프(5)는 하부 및 상부 범핑패드(15)(25)를 전기적으로 연결시킨다. 따라서, 제1범프(5)는 하부 및 상부 칩패드(12)(22)의 배열방향을 따라 지그재그 형태로 배치되고, 하부 및 상부 재배선(14)(24)을 전기적으로 연결시킨다.
- <45> 기판(1)의 상면(上面)은 하부 재배선칩(10)의 비활성면을 접착 고정시키며, 기판(1)의 저면(底面)에는 도전성 볼(2)이 배치된다. 도전성 볼(2)은 외부와 멀티칩 BGA 패키지(M1)를 전기적으로 연결시킨다.
- <46> 본딩와이어(3)는 하부 재배선칩(10)의 하부 본딩패드(16)와 기판(1)을 전기적으로 연결시킨다.
- <47> 봉지재(4)는 하부 및 상부 반도체칩(10)(20), 본딩와이어(3), 그리고 기판(1)의 상면(上面)을 봉지한다.
- <48> 그러나, 이와 같은 종래의 멀티칩 BGA 패키지는 다음과 같은 문제점이 있다.
- <49> 첫째, 재배선칩에서의 스위칭 속도가 고속화됨에 따라 재배선칩의 전원 전압의 변동에 따른 동시 스위칭 노이즈(simultaneous switching noise)가 유발되어 재배선칩의 속도 지연 및 잡음성 요동의 증가 및 시간 비틀림의 증가 등으로 오동작이 발생하는 문제가 있다.
- <50> 둘째, 전술한 동시 스위칭 노이즈에 따라 전압이 요동치게 되는 그라운드 배선에 케이블 실드(cable shield)가 연결되면 커먼 모드 방사(common-mode radiation)가 발생하여 심각한 EMI(Electro Magnetic Interference) 문제가 초래된다.

<51> 셋째, 고속 신호전달의 경우, 종래 멀티칩 BGA 패키지의 복잡한 인터컨넥션(interconnection) 구조에 따른 기생 인덕턴스(parasitic inductance)에 의하여 재배선칩의 전기신호 전달특성이 악화되는 문제점이 있다.

【발명이 이루고자 하는 기술적 과제】

<52> 본 발명은 전술한 바와 같은 문제점을 해결하기 위하여 안출된 것으로서, 전원 공급에 의한 스위칭 노이즈가 감소되도록 개선되고, 신호 전달특성이 향상되는 멀티칩 BGA 패키지를 제공하는데 그 목적이 있다.

【발명의 구성 및 작용】

<53> 전술한 목적을 달성하기 위하여, 본 발명에 따른 멀티칩 BGA 패키지는, 제1전원칩패드와 제1접지칩패드를 포함하는 제1칩패드가 마련된 제1반도체칩과, 그 제1칩패드와 전기적으로 연결되는 제1재배선을 포함하는 제1재배선칩; 그 제1전원칩패드와 그 제1접지칩패드에 각각 전기적으로 연결되는 제2전원칩패드와 제2접지칩패드를 포함하는 제2칩패드가 마련된 제2반도체칩과, 그 제2칩패드와 전기적으로 연결되는 제2재배선을 포함하고, 그 제1 및 제2재배선이 서로 마주 보도록 그 제1재배선칩상에 이격 배치되는 제2재배선칩; 그 제1 및 제2재배선상에 각각 마련된 제1 및 제2범핑패드를 전기적으로 연결시키는 제1범프; 그 제1재배선칩을 지지 고정하는 기판; 그 제1재배선상에 마련된 본딩패드를 그 기판과 전기적으로 연결시키는 본딩와이어; 및 그 기판과 외부로 전기적으로 연결시키는 도전성 볼(conductive ball);을 구비한 멀티칩 BGA 패키지에 있어서, 그 제1 및 제2재배선칩은, 제1 및 제2칩패드 위에 각각 형성되어 서로 대향되는 제1 및 제2전극판을 각각 포함하고; 그 제1전극판은, 그 제1전원칩패드 및 그 제1접지칩패드 중에서 선택된 어느 하나와 전기적으로 연결되며; 그 제2전극판은, 그 제1전원칩패드 및 그 제1접

지칩패드 중에서의 나머지와 전기적으로 연결되는 그 제2전원칩패드 및 그 제2접지칩패드 중에서의 어느 하나와 전기적으로 연결되는 것;을 특징으로 한다.

<54> 본 발명의 바람직한 실시예에 의하면, 그 제1전극판은, 그 제1반도체칩상에 마련되는 제1절연층 위에 형성되는 것을 특징으로 한다.

<55> 본 발명의 바람직한 실시예에 의하면, 그 제1절연층은 그 제1칩패드가 노출되는 제1노출부를 포함하고; 그 제1전극판은, 그 제1전원칩패드 및 그 제1접지칩패드 중에서 선택된 어느 하나와, 그 제1노출부를 관통하여, 접촉하는 것;을 특징으로 한다.

<56> 본 발명의 바람직한 실시예에 의하면, 그 제1전극판은, 그 제1재배선이 적층되는 제1층에 형성되는 것을 특징으로 한다.

<57> 본 발명의 바람직한 실시예에 의하면, 그 제1전극판의 상하를 관통하는 제1슬롯(slot)이 그 제1층에 제공되는 것을 특징으로 한다.

<58> 본 발명의 바람직한 실시예에 의하면, 그 제1재배선은, 그 제1슬롯 내에 배치되는 것을 특징으로 한다.

<59> 본 발명의 바람직한 실시예에 의하면, 그 제1재배선은, 그 제1슬롯의 폭과 그 제1재배선의 폭의 비율에 따라 임피던스 제어(impedance control)가 이루어지는 제1코플레나 도파관(coplanar waveguide; CPW)을 포함하는 것을 특징으로 한다.

<60> 본 발명의 바람직한 실시예에 의하면, 그 제2전극판은, 그 제2반도체칩상에 마련되는 제2절연층 위에 형성되는 것을 특징으로 한다.

<61> 본 발명의 바람직한 실시예에 의하면, 그 제2절연층은 그 제2칩패드가 노출되는 제2노출부를 포함하고; 그 제2전극판은, 그 제1전원칩패드 및 그 제1접지칩패드 중에서

의 나머지와 전기적으로 연결되는 그 제2전원칩패드 및 그 제2접지칩패드 중에서의 어느 하나와, 그 제2노출부를 관통하여, 접촉하는 것;을 특징으로 한다.

<62> 본 발명의 바람직한 실시예에 의하면, 그 제2전극판은, 그 제2재배선이 적층되는 제2층에 형성되는 것을 특징으로 한다.

<63> 본 발명의 바람직한 실시예에 의하면, 그 제2전극판의 상하를 관통하는 제2슬롯이 그 제2층에 제공되는 것을 특징으로 한다.

<64> 본 발명의 바람직한 실시예에 의하면, 그 제2재배선은, 그 제2슬롯 내에 배치되는 것을 특징으로 한다.

<65> 본 발명의 바람직한 실시예에 의하면, 그 제2재배선은, 그 제2슬롯의 폭과 그 제2재배선의 폭의 비율에 따라 임피던스 제어(impedance control)가 이루어지는 제2코플래나 도파관(coplanar waveguide; CPW)을 포함하는 것을 특징으로 한다.

<66> 본 발명의 바람직한 실시예에 의하면, 그 제1재배선칩은, 그 제1전극판에 대향되면서 그 제1전극판을 기준으로 그 제2전극판의 반대편에 배치되는 제3전극판을 더 포함하고, 그 제3전극판은 그 제1전원칩패드 및 그 제1접지칩패드 중에서의 나머지와 전기적으로 연결되는 것을 특징으로 한다.

<67> 본 발명의 바람직한 실시예에 의하면, 그 제2재배선칩은, 그 제2전극판에 대향되면서 그 제2전극판을 기준으로 그 제1전극판의 반대편에 배치되는 제4전극판을 더 포함하고, 그 제4전극판은 그 제1전원칩패드 및 그 제1접지칩패드 중에서 선택된 어느 하나와 전기적으로 연결되는 그 제2전원칩패드 및 그 제2접지칩패드 중에서의 어느 하나와 전기적으로 연결되는 것을 특징으로 한다.

<68> 본 발명의 바람직한 실시예에 의하면, 그 제1재배선은, 그 제1칩패드와 그 제1범핑패드 사이, 또는 그 제1범핑패드와 그 제1본딩패드 사이에 제3범핑패드를 더 포함하고; 그 제2재배선은 그 제3범핑패드에 대응되는 제4범핑패드를 더 포함하며; 그 제3 및 제4 범핑패드를 전기적으로 연결시키는 제2범프를 더 포함하는 것;을 특징으로 한다.

<69> 본 발명에 따른 멀티칩 BGA 패키지는, 제1칩패드를 포함하는 제1반도체칩 및 그 제1칩패드와 전기적으로 연결되는 제1재배선을 포함하는 제1재배선칩; 그 제1칩패드에 대응되는 제2칩패드를 포함하는 제2반도체칩 및 그 제2칩패드와 전기적으로 연결되는 제2재배선을 포함하고, 그 제1재배선과 그 제2재배선이 대향되도록 그 제1재배선칩상에 이격 배치되는 제2재배선칩; 그 제1 및 제2재배선상에 각각 형성된 제1 및 제2범핑패드를 전기적으로 연결시키는 제1범프; 그 제1재배선칩을 지지 고정하는 기판; 그 제1재배선상에 형성된 본딩패드를 그 기판과 전기적으로 연결시키는 본딩와이어; 및 그 기판과 외부를 전기적으로 연결시키는 도전성 볼;을 구비한 멀티칩 BGA 패키지에 있어서, 그 제1재배선은, 그 제1칩패드와 그 제1범핑패드 사이, 또는 그 제1범핑패드와 그 제1본딩패드 사이에 제3범핑패드를 더 포함하고; 그 제2재배선은 그 제3범핑패드에 대응되는 제4범핑패드를 더 포함하며; 그 제3 및 제4범핑패드를 전기적으로 연결시키는 제2범프를 더 포함하는 것;을 특징으로 한다.

<70> 본 발명의 바람직한 실시예에 의하면, 그 제1 및 제2재배선칩 사이에 더미 볼(dummy ball)을 더 포함하는 것을 특징으로 한다.

<71> 이하에서는, 본 발명의 바람직한 실시예를 첨부된 도면을 참조하여 상세하게 설명한다.

<72>      제1실시예

<73>      도 2는 본 발명의 일실시예에 따른 멀티칩 BGA 패키지(M2)를 개략적으로 나타낸 단면도이다.

<74>      본 발명의 실시예를 설명함에 있어 앞서 설명되고 도 1에 도시된 종래의 멀티칩 BGA 패키지(M1)의 구성요소와 동일한 구성 및 기능을 가지는 구성요소에 대해서는 종래와 동일한 참조부호를 부여하여 인용한다.

<75>      도 2에서 도시된 바와 같이, 본 발명의 일실시예에 따른 멀티칩 BGA 패키지(M2)는, 제1 및 제2재배선칩(30)(40), 제1범프(5), 기판(1), 본딩와이어(3), 봉지재(4)를 포함한다.

<76>      제1 및 제2재배선칩(30)(40)은 각각의 활성면이 서로 마주 보도록 이격 배치된다.

<77>      제1재배선칩(30)은 제1반도체칩(31), 제1절연층(33), 제1재배선(34), 제1전극판(37) 및 제2절연층(38)을 포함한다.

<78>      제1반도체칩(31)은 센터패드형 반도체칩으로서 그 활성면상에 제1칩패드(32)가 배열되고, 제1칩패드(32)가 노출되도록 질화막 등으로 구성된 패시베이션층(passivation layer; 도시되지 않음)이 형성되어 있다. 제1칩패드(32)는 통상 알루미늄과 같은 금속으로 이루어진다.

<79>      이하에서는 제1재배선칩(30)을 제조하는 방법을 설명한다.

<80>      우선, 제1칩패드(32)가 마련된 제1반도체칩(31)을 준비한다.

<81>      그런 다음, 제1절연층(33)을 형성하는 단계를 진행한다. 제1반도체칩(31)상에 액상의 절연 물질을 소정 두께로 코팅한 후, 소정 온도에서 1차 경화시켜 제1절연층(33)을

형성시킨다. 제1칩패드(32)가 노출되는 제1노출부(도시되지 않음)가 형성되도록 제1절연층(33)을 패터닝한 후 제1절연층(33)을 2차 경화시킨다.

<82> 그런 다음, 제1금속기저층(under barrier metal layer; UBM층)(도시되지 않음)을 형성하는 단계를 진행한다. 제1금속기저층을 제1절연층(33) 및 노출된 제1칩패드(32)상에 스퍼터링(sputtering) 방법으로 형성한다. 이러한 제1금속기저층은 제1재배선(34) 및 제1전극판(37)과의 접착성이 향상되고 이물질 등의 확산이 방지되도록 크롬, 티타늄 또는 구리와 같은 금속으로 형성된다.

<83> 그런 다음, 제1재배선(34) 및 제1전극판(37)을 형성하는 단계를 진행한다. 제1금속기저층상에 도금 레지스트(plating resist)(도시되지 않음)를 입히고 자외선 또는 레이저 등을 이용하여 원하는 패턴을 형성한 후, 구리또는 니켈과 같은 금속을 도금하여 제1재배선(34) 및 제1전극판(37)을 형성한다. 이 때, 제1범프(5) 및 본딩와이어(3)와의 접착력을 강화시키기 위하여 니켈과 같은 금속기저물질을 추가할 수도 있다.

<84> 그런 다음, 제1금속기저층을 식각하는 단계를 진행한다. 전술한 도금이 완료되면 그 도금 레지스트를 제거하고 제1재배선(34) 및 제1전극판(37)을 마스크(mask)로 하여 제1금속기저층을 식각한다. 본 공정완료후 제1재배선(34)은 제1칩패드(32)와 전기적으로 연결된다. 제1전극판(37)은 제1칩패드(32)중의 제1접지칩패드(도시되지 않음)와 전기적으로 연결되는데 이는 도 3a에서 자세하게 설명된다. 제1재배선(34) 및 제1전극판(37)은 서로 이격되어 형성되므로 도면에서와 같이 이격공간 D1이 마련된다.

<85> 그런 다음, 제2절연층(38)을 형성하는 단계를 진행한다. 제1재배선(34) 및 제1전극판(37)상에 액상의 절연 물질을 코팅한후 이를 1차 경화하여 제2절연층(38)을 형성시킨다. 제1범프패드(35) 및 제1본딩패드(36)가 노출되도록 제2절연층(38)을 패터닝한 후

제2절연층(38)을 2차 경화시킨다. 이러한 제2절연층(38)을 형성하는 단계는 필요에 따라 생략될 수도 있다. 이로써, 제1재배선칩(30)의 제조공정이 종료된다.

<86> 제2재배선칩(40)은 제2반도체칩(41), 제3절연층(43), 제2범핑패드(45), 제2전극판(46) 및 제4절연층(47)을 포함한다.

<87> 제2반도체칩(41)은 센터패드형 반도체칩으로서 그 활성면상에 제2칩패드(42)가 배열되고, 제2칩패드(42)가 노출되도록 질화막 등으로 구성된 패시베이션층(passivation layer; 도시되지 않음)이 형성되어 있다. 제2칩패드(42)는 통상 알루미늄과 같은 금속으로 이루어진다.

<88> 이하에서는 제2재배선칩(40)을 제조하는 방법을 설명한다.

<89> 우선, 제2칩패드(42)가 마련된 제2반도체칩(41)을 준비한다.

<90> 그런 다음, 제3절연층(43)을 형성하는 단계를 진행한다. 제2반도체칩(41)상에 액상의 절연 물질을 소정 두께로 코팅한 후, 소정 온도에서 1차 경화시켜 제3절연층(43)을 형성시킨다. 제2칩패드(32)가 노출되는 제2노출부(도시되지 않음)가 형성되도록 제3절연층(43)을 패터닝한 후 제3절연층(43)을 2차 경화시킨다.

<91> 그런 다음, 제2금속기저층(도시되지 않음)을 형성하는 단계를 진행한다. 제2금속기저층을 제3절연층(43) 및 노출된 제2칩패드(42)상에 스퍼터링 방법으로 형성한다.

<92> 그런 다음, 제2전극판(46) 및 제2범핑패드(45)를 형성하는 단계를 진행한다. 제2금속기저층상에 도금 레지스트(도시되지 않음)를 입히고 원하는 패턴을 형성한 후, 구리 또는 니켈과 같은 금속을 도금하여 제2전극판(46)을 형성한다. 이 때, 제1범프(5)와의 접착력을 강화시키기 위하여 니켈과 같은 금속기저물질을 추가할 수도 있다.

- <93> 그런 다음, 제2금속기저층을 식각하는 단계를 진행한다. 전술한 도금이 완료되면 그 도금 레지스트를 제거하고 제2범핑패드(45) 및 제2전극판(46)을 마스크로 하여 제2금속기저층을 식각한다. 본 공정완료후 제2범핑패드(45)는 제2칩패드(42)와 전기적으로 연결된다. 제2전극판(46)은 제2칩패드(42)중의 제2전원칩패드(도시되지 않음)와 전기적으로 연결되는데 이는 도 3b에서 자세하게 설명된다. 또한, 제2범핑패드(45)와 제2전극판(46)은 서로 이격되어 형성되므로 도면에서와 같이 이격공간 D2가 마련된다.
- <94> 그런 다음, 제4절연층(47)을 형성하는 단계를 진행한다. 제2범핑패드(45) 및 제2전극판(46)상에 액상의 절연 물질을 코팅한후 이를 1차 경화하여 제4절연층(47)을 형성시킨다. 제2범핑패드(45)가 노출되도록 제4절연층(47)을 패터닝한 후 제4절연층(47)을 2차 경화시킨다. 이러한 제4절연층(47)을 형성하는 단계는 필요에 따라 생략될 수도 있다. 이로써, 제2재배선칩(40)의 제조공정이 종료된다.
- <95> 제1범프(5)는 소정의 본딩 방법에 의하여 제1 및 제2범핑패드(35)(45) 사이에 융착된다. 따라서, 제1범프(5)는 제1 및 제2범핑패드(35)(45)를 전기적으로 연결시킨다.
- <96> 기판(1)의 상면(上面)에는 제1재배선칩(30)의 비활성면이 접착 고정되며, 기판(1)의 저면(底面)에는 도전성 볼(2)이 배치된다. 도전성 볼(2)은 외부와 멀티칩 BGA 패키지(M2)를 전기적으로 연결시킨다.
- <97> 본딩와이어(3)는 제1재배선칩(30)의 제1본딩패드(36)와 기판(1)을 전기적으로 연결시킨다.
- <98> 봉지재(4)는 제1 및 제2반도체 칩(30)(40), 본딩와이어(3), 그리고 기판(1)의 상면(上面)을 봉지한다.

- <99> 도 3a는 제1재배선칩(도 2의 30)의 재배선을 개략적으로 나타낸 평면도이고, 도 3b는 제2재배선칩(도 2의 40)의 재배선을 개략적으로 나타낸 평면도이다. 또한, 도 3c는 도 3a의 T부분에 대한 평면도이며, 도 3d는 도 3c의 K-K'에 대한 단면도이다. 참고로, 도 3a에서의 I-I'에 대한 단면도 및 도 3b에서의 II-II'에 대한 단면도는 도 2에 도시된 바와 같다.
- <100> 도 3a 및 도 3b에 도시된 도면부호 'P', 'G' 및 'S'는 설명의 편의를 위한 것으로, 각각 전원(Vdd), 접지(Vss) 및 신호(signal)에 해당되는 배선을 나타낸다. 이러한 부호는 이 후의 도면에도 동일하게 적용된다.
- <101> 도 3a에 도시된 바와 같이, 제1재배선칩(30)은 제1재배선(34) 및 제1전극판(37)을 포함한다. 도 3a에서 제1재배선(34) 및 제1전극판(37)의 경계선 사이에는 도 2에서의 이격공간 D1이 도시되어야 하지만 설명의 편의를 위해 도시되지 않았고, 다만 도 3c에서 자세하게 설명된다. 이 후의 도면에서도 전극판과 전원배선, 접지배선 및 신호배선간에 형성되는 이격공간의 도시는 생략한다.
- <102> 제1재배선(34)은 제1범핑패드(35), 제1본딩패드(36) 및 제1연결선(39)을 포함한다.
- <103> 제1범핑패드(35)는 제1반도체칩(도 2의 31)에 포함된 제1칩패드(도 2의 32)와 전기적으로 연결되며, 중심선 C1과 평행한 방향으로 일렬로 배열된다. 제1범핑패드(35)는 제1전원범핑패드(35a), 제1접지범핑패드(35b) 및 제1신호범핑패드(35c)를 포함한다.
- <104> 제1전원범핑패드(35a)는 제1전원칩패드(도시되지 않음)와 전기적으로 연결된다. 따라서, 제1전원범핑패드(35a)는 외부의 전원 단자(power terminal)와 전기적으로 연결된다. 제1접지범핑패드(35b)는 제1접지칩패드(도시되지 않음)와 전기적으로 연결된다. 따

라서, 제1접지범핑패드(35b)는 외부의 접지 단자(ground terminal)와 전기적으로 연결된다. 제1신호범핑패드(35c)는 제1신호칩패드(도시되지 않음)와 전기적으로 연결된다. 따라서, 제1신호범핑패드(35c)는 외부의 신호 단자(signal terminal)와 전기적으로 연결된다.

<105> 본 실시예에서는 설명의 편의상 제1전원범핑패드(35a), 제1접지범핑패드(35b) 및 제1신호범핑패드(35c)가 균등 비율이 되도록 하였지만, 이러한 비율은 반도체칩의 종류에 따라 달라질 수 있다. 또한, 제1전원범핑패드(35a), 제1접지범핑패드(35b) 및 제1신호범핑패드(35c)의 배열 순서도 반도체칩의 종류에 따라 달라질 수 있다.

<106> 제1본딩패드(36)는 본딩와이어(도 2의 3)의 일단이 전기적으로 연결되는 부분이며, 제1전원본딩패드(36a), 제1접지본딩패드(36b) 및 제1신호본딩패드(36c)를 포함한다. 제1본딩패드(36)는 본딩와이어(도 2의 3)의 일단이 전기적으로 연결되는 부분이며, 제1재배선칩(30)의 상하 가장자리에 배치된다.

<107> 제1연결선(39)은 제1전원연결선(39a), 제1접지연결선(39b) 및 제1신호연결선(39c)을 포함한다. 제1전원연결선(39a), 제1접지연결선(39b) 및 제1신호연결선(39c) 각각의 일단은 제1전원범핑패드(35a), 제1접지범핑패드(35b) 및 제1신호범핑패드(35c)와 각각 전기적으로 연결된다. 제1전원연결선(39a), 제1접지연결선(39b) 및 제1신호연결선(39c) 각각의 타단은 제1전원본딩패드(36a), 제1접지본딩패드(36b) 및 제1신호본딩패드(36c)와 각각 전기적으로 연결된다.

<108> 제1전극판(37)은 제1접지범핑패드(35b)와 전기적으로 연결되고, 제1전원범핑패드(35a) 및 제1신호범핑패드(35c)와는 절연되어 있다. 따라서, 전술한 제1재배선칩(30)의 제조방법중에서 제1재배선(34)과 제1전극판(37)이 형성되는 단계에서, 제1전극판(37)과

제1접지범핑패드(35b) 사이에 전기적 연결부가 마련되도록 도금 레지스트 패턴이 구성되어야 한다. 이에 의하여, 제1전극판(37)은 접지전극판이 된다. 제1전극판(37)은 제1접지범핑패드(35b), 제1접지본딩패드(36b) 및 제1접지연결선(39b)과 일체로 형성되는 것이 바람직하다. 이 경우, 제1접지범핑패드(35b)상에 배치되는 제1범프(도 2의 5)는 제1전극판(37)과 직접 맞닿으므로 서로 전기적으로 연결된다.

<109> 도 3b에 도시된 바와 같이, 제2재배선칩(40)은 제2범핑패드(45) 및 제2전극판(46)을 포함한다. 도 2에서의 제1범프(5)는 소정의 본딩 방법에 의하여 제1 및 제2범핑패드(도 3a의 35)(45) 사이에 배치되어 융착된다. 따라서, 제1범프(5)는 제1 및 제2범핑패드(35)(45)를 전기적으로 연결시킨다.

<110> 제2범핑패드(45)는 제2반도체칩(도 2의 41)에 마련된 제2칩패드(도 2의 42)와 전기적으로 연결되고, 중심선 C2와 평행한 방향으로 일렬로 배치된다. 제2범핑패드(45)는 제1범핑패드(35)의 제1전원범핑패드(35a), 제1접지범핑패드(35b) 및 제1신호범핑패드(35c)에 각각 대응되면서 이들 각각과 서로 전기적으로 연결되는 제2전원범핑패드(45a), 제2접지범핑패드(45b) 및 제2신호범핑패드(45c)를 포함한다. 제2전원범핑패드(45a), 제2접지범핑패드(45b) 및 제2신호범핑패드(45c)가 각각 제1전원범핑패드(35a), 제1접지범핑패드(35b) 및 제1신호범핑패드(35c)에 대응되기 위하여, 제2재배선칩(40)의 모서리 F1이 도 3a의 제1재배선칩(30)의 모서리 E1에 맞춰지도록 한다.

<111> 제2전원범핑패드(45a)는 제2전원칩패드(도시되지 않음)와 전기적으로 연결된다. 따라서, 제2전원범핑패드(45a)는 외부의 전원 단자와 전기적으로 연결된다. 제2접지범핑패드(45b)는 제2접지칩패드(도시되지 않음)와 전기적으로 연결된다. 따

라서, 제2접지범핑패드(45b)는 외부의 접지 단자와 전기적으로 연결된다. 제2신호범핑패드(45c)는 제2신호칩패드(도시되지 않음)와 전기적으로 연결된다. 따라서, 제2신호범핑패드(45c)는 외부의 신호 단자와 전기적으로 연결된다.

<112> 제2전극판(46)은 제2전원범핑패드(45a)와 전기적으로 연결되어 있고, 제2접지범핑패드(21b) 및 제2신호범핑패드(21c)와는 절연되어 있다. 따라서, 전술한 제2재배선칩(40)의 제조방법중 제2전극판(46) 및 제2범핑패드(45)를 형성하는 단계에서, 제2전원범핑패드(45a)와 제2전극판(46)사이에 전기적 연결부가 마련되도록 도금 레지스트의 패턴이 구성되어야 한다. 이에 의하여, 제2전극판(46)은 전원전극판이 된다. 제2전극판(46)은 제2전원범핑패드(45a)와 일체로 형성되는 것이 바람직하다. 이 경우, 제2전원범핑패드(45a)상에 배치되는 제1범프(도 2의 5)는 제2전극판(46)과 직접 맞닿으므로, 제1범프(5)와 제2전극판(46)은 서로 전기적으로 연결된다.

<113> 도 3c는 도 3a의 T부분에 대한 평면도이다.

<114> 도 3c에 도시된 바와 같이, 제1재배선칩(30)의 제1전극판(37)과 제1재배선(34)은 이격공간 D1로 서로 분리되어 있으며, 전기적으로 절연되어 있는 상태이다. 도면에서는 신호배선에 대해서만 도시되었으나, 전원 및 접지배선에 대해서도 이와 같다. 다만, 재배선칩 내에서 재배선과 동일층에 형성된 전극판이 전원전극판인지 또는 접지전극판인지에 따라 전원재배선 및 접지재배선중의 어느 하나가 해당 전극판과 일체로 형성될 수 있음은 전술하였다. 이에 대해서는 이 후의 도면에도 동일하게 적용된다.

<115> 도 3d는 도 3c의 K-K'에 대한 단면도이다.

- <116> 도 3d에 도시된 바와 같이, 제1신호연결선(39c)은 제1전극판(37)과 동일 평면상에 형성되고 제1전극판(37)에 형성되는 슬롯(slot) Y내에 배치된다. 따라서, 제1신호연결선(39c)은 코플래나 도파관(coplanar waveguide; CPW)이 된다. 즉, 제1신호연결선(39c)의 두께  $t_1$ 과 무관하게 제1신호연결선(39c)의 폭  $W_1$ 과 슬롯폭  $W_2$ 의 비율에 따라 제1신호연결선(39c)의 임피던스가 변화 가능하므로, 멀티칩 BGA 패키지(M2)의 설계시 폭  $W_1$  및 슬롯폭  $W_2$ 의 비율을 적절히 설정함으로써 제1신호연결선(39c)에 대한 임피던스 제어(impedance control)가 가능해진다. 임피던스값을 조절할 수 있다. 이에 따라, 제1신호연결선(39c)에 대한 적절한 임피던스값이 설계 가능하여 고속의 전기신호에 대한 전송 특성이 향상될 수 있다.
- <117> 이와 같이, 제1전극판(37) 및 제2전극판(46)이 채용된 본 실시예의 구성에 의하여, 제1전극판(37)과 제2전극판(46)이 상호 결합되어 일종의 커패시터가 마련된다. 즉, 제1전극판(37) 및 제2전극판(46)의 결합은 감결합 커패시터(decoupling capacitor)가 된다.
- <118> 더욱이, 제1전극판(37)은 제1재배선칩(30)에서 제1재배선(34)과 동일층에 형성되고, 제2전극판(46)은 제2재배선칩(40)에서 제2범핑패드(46)와 동일층에 형성되므로, 감결합 커패시터가 내장되면서도 멀티칩 BGA 패키지의 두께가 증가되지 않아 박형화가 가능한 멀티칩 BGA 패키지가 제공된다.
- <119> 이러한 감결합 커패시터는 재배선칩 내외부의 전원배선 및 그라운드 배선에 발생하는 전압요동(voltage fluctuation)에 의한 동시스위칭 노이즈(simultaneous switching noise)를 감소시킨다. 즉, 재배선칩의 전원공급(power delivery) 특성이 향상된다. 결과적으로, 멀티칩 BGA 패키지가 채용된 시스템이 안정적으로 동작할 수 있게 된다.

- <120> 또한, 동시스위칭 노이즈에 따른 전자파 발생현상도 억제되어 멀티칩 BGA 패키지가 채용된 시스템의 안정성이 향상된다.
- <121> 한편, 제1 내지 제4절연층(33)(38)(43)(47)으로는 소정의 유전율을 가지는 유전막인 것이 바람직하다. 특히, 제2 및 제4절연층(38)(47) 대신에 한 층의 유전막이 제1 및 제2전극판(37)(46) 사이에 개재될 수도 있다. 이러한 유전막들은, 전술한 바와 같은 감결합 커패시턴스의 효율성 향상을 위하여, 유전율이 높으면서 얇은 막 형태인 것이 바람직하며, 오산화탄탈륨( $Ta_2O_5$ )과 같은 유전막을 포함할 수도 있다.
- <122> 한편, 제1전극판(도 3a의 37)과 제2전극판(도 3b의 46) 각각의 휨변형을 방지하고, 전술한 절연층과의 접착력 향상을 위하여, 그 표면은 돌출된 철(凸)부분을 포함하며, 그 철(凸)부분이 벌집모양과 같은 메시(mesh) 형태를 가질 수도 있다.
- <123> 제1전극판(37)은 전술한 감결합 커패시턴스의 효율성 향상을 위하여 제1재배선칩(30)상에서 제1재배선(34)을 제외한 나머지 부분에 넓게 형성되는 것이 바람직하고, 제2전극판(46)도 전술한 감결합 커패시턴스의 효율성 향상을 위하여 제2재배선칩(40)상에서 제2범핑패드(45)를 제외한 나머지 부분에 넓게 형성되는 것이 바람직하다.
- <124> 한편, 본 실시예와는 반대로, 제1전극판(37)이 제1전원범핑패드(35a)와 전기적으로 연결되고 제1접지범핑패드(35b) 및 제1신호범핑패드(35c)와는 절연되며, 제2전극판(46)이 제2접지범핑패드(45b)와 전기적으로 연결되고 제2전원범핑패드(45b) 및 제2신호범핑패드(45c)와는 절연되어 있을 수도 있다. 즉, 본 실시예에서는 전극판들이 기판을 기준으로 "기판-접지전극판-전원전극판"으로 적층되는 구성이지만, 기판을 기준으로 "기판-전원전극판-접지전극판"으로 적층되는 구성을 가질 수도 있다.

- <125> 바람직하게는, 제1반도체칩(31)과 제2반도체칩(41)이 서로 동일하여 본 발명에 따른 멀티칩 BGA 패키지(M2)가 세임 다이 스택(same die stack)구조를 가지도록 한다.
- <126> 제2실시예
- <127> 도 4는 본 발명의 일실시예에 따른 멀티칩 BGA 패키지(M3)를 개략적으로 나타낸 단면도이다.
- <128> 본 발명의 실시예를 설명함에 있어 앞서 설명되고 도 1 내지 도 3d에 도시된 멀티칩 BGA 패키지의 구성요소와 동일한 구성 및 기능을 가지는 구성요소에 대해서는 중복설명을 생략한다.
- <129> 도 4에서 도시된 바와 같이, 본 발명의 일실시예에 따른 멀티칩 BGA 패키지(M3)는, 제20 및 제3재배선칩(401)(100), 제1범프(5), 기판(1), 본딩와이어(3) 및 봉지재(4)를 구비한다.
- <130> 본 실시예에서 제1범프(5), 기판(1), 본딩와이어(3) 및 봉지재(4)는 제1실시예의 경우와 동일하므로 이에 대한 설명은 생략한다. 또한, 제20재배선칩(401)은 제2전극판(46)이 제2칩패드(42)중의 제2접지칩패드(도시되지 않음)와 전기적으로 연결되어 접지전극판이 되는 것을 제외하고는 전술한 제2재배선칩(40)과 동일하므로 설명을 생략한다.
- <131> 제3재배선칩(100)은 제3반도체칩(101), 제5절연층(103), 제1연결부(104), 제3전극판(105), 제6절연층(106), 제2연결부(107), 제2재배선(108), 제4전극판(111) 및 제7절연층(112)을 포함한다.
- <132> 제3반도체칩(100)은 센터패드형 반도체칩으로서 그 활성면상에 제3칩패드(102)가 배열되고, 제3칩패드(102)가 노출되도록 질화막 등으로 구성된 패시베이션층

(passivation layer; 도시되지 않음)이 형성되어 있다. 제3칩패드(102)는 통상 알루미늄과 같은 금속으로 이루어진다.

<133> 이하에서는 제3재배선칩(100)을 제조하는 방법을 설명한다.

<134> 우선, 제3칩패드(102)가 마련된 제3반도체칩(101)을 준비한다.

<135> 그런 다음, 제5절연층(103)을 형성하는 단계를 진행하고, 제3금속기저층(도시되지 않음)을 형성하는 단계를 진행한다. 이들 단계는 제1실시예의 제1재배선칩(30)의 경우와 같으므로 설명을 생략한다.

<136> 그런 다음, 제1연결부(104) 및 제3전극판(105)을 형성하는 단계를 진행한다. 제3금속기저층상에 도금 레지스트(도시되지 않음)를 입히고 원하는 패턴을 형성한 후, 구리 또는 니켈과 같은 금속을 도금하여 제1연결부(104) 및 제3전극판(105)을 형성한다.

<137> 그런 다음, 제3금속기저층을 식각하는 단계를 진행한다. 전술한 도금이 완료되면 그 도금 레지스트를 제거하고 제1연결부(104) 및 제3전극판(105)을 마스크로 하여 제3금속기저층을 식각한다. 본 공정완료후 제1연결부(104)는 제3칩패드(102)와 전기적으로 연결된다. 제3전극판(105)은 제3칩패드(102)중의 제3접지칩패드(도시되지 않음)와 전기적으로 연결되는데 이는 도 5b에서 자세하게 설명된다. 여기서, 제1연결부(104)와 제3전극판(105)은 서로 이격되어 형성되므로 도면에서와 같이 이격공간 D3가 마련된다.

<138> 그런 다음, 제6절연층(106)을 형성하는 단계를 진행한다. 제1연결부(104) 및 제3전극판(105)상에 액상의 절연 물질을 소정 두께로 코팅한 후, 소정 온도에서 1차 경화시켜 제6절연층(106)을 형성시킨다. 제3전극판(105)상의 제2연결부(107)가 형성될 부분과 제

1연결부(104)가 노출되도록 제6절연층(106)을 패터닝한 후 제6절연층(106)을 2차 경화시킨다.

<139> 그런 다음, 제2연결부(107)를 형성하는 단계를 진행한다. 이 경우에는 제6절연층(106)을 마스크로 하여 구리 또는 니켈과 같은 금속을 도금하여 제2연결부(107)를 형성한다. 그러나 제3전극판(105)이 제1연결부(104)중의 제1접지연결부(도시되지 않음)와 전기적으로 연결되는 등의 경우에는 필요에 따라 이러한 단계는 생략될 수도 있다.

<140> 그런 다음, 제4금속기저층(도시되지 않음)을 형성하는 단계를 진행한다. 제1연결부(104), 제6절연층(106) 및 제2연결부(107)상에 제4금속기저층을 스퍼터링 방법으로 형성시킨다.

<141> 그런 다음, 제2재배선(108) 및 제4전극판(111)을 형성하는 단계를 진행한다. 제4금속기저층상에 도금 레지스트(도시되지 않음)를 입히고 원하는 패턴을 형성한 후, 구리 또는 니켈과 같은 금속을 도금하여 제2재배선(108) 및 제4전극판(111)을 형성한다. 이때, 제1범프(5) 및 본딩와이어(3)와의 접착력을 강화시키기 위하여 니켈과 같은 금속기저물질을 추가 할 수도 있다.

<142> 그런 다음, 제4금속기저층을 식각하는 단계를 진행한다. 전술한 도금이 완료되면 그 도금 레지스트를 제거하고 제2재배선(108) 및 제4전극판(111)을 마스크로 하여 제4금속기저층을 식각한다. 본 공정 완료후 제2재배선(108)은 제1연결부(104)와 전기적으로 연결된다. 제4전극판(111)은 제3칩패드(102)중의 제3전원칩패드(도시되지 않음)와 전기적으로 연결되는데 이는 도 5a에서 자세하게 설명된다. 여기서, 제2재배선(108)과 제4전극판(111)은 서로 이격되어 형성되므로 도면에서와 같이 이격공간 D4가 마련된다.

- <143> 그런 다음, 제7절연층(112)을 형성하는 단계를 진행한다. 제2재배선(108) 및 제4전극판(111)상에 액상의 절연 물질을 코팅한후 이를 1차 경화하여 제7절연층(112)을 형성시킨다. 제3범핑패드(109) 및 제2본딩패드(110)가 노출되도록 제7절연층(112)을 패터닝한 후 제7절연층(112)을 2차 경화시킨다. 이러한 제7절연층(112)을 형성하는 단계는 필요에 따라 생략될 수도 있다. 이로써, 제3재배선칩(100)의 제조공정이 종료된다.
- <144> 도 5a는 제3재배선칩(도 4의 100)의 제2재배선(108)을 개략적으로 나타낸 평면도이고, 도 5b는 도 4에서의 J-J'에 대한 단면도이다. 참고로, 도 5a에서의 III-III'에 대한 단면도 및 도 5b에서의 IV-IV'에 대한 단면도는 도 4에 도시된 바와 같다.
- <145> 도 5a에 도시된 바와 같이, 제3재배선칩(100)은 제2재배선(108) 및 제4전극판(111)을 포함한다.
- <146> 제2재배선(108)은 제3범핑패드(109), 제2본딩패드(110) 및 제2연결선(108c)을 포함한다.
- <147> 제3범핑패드(109)는 제3전원범핑패드(109a), 제3접지범핑패드(109b) 및 제3신호범핑패드(109c)를 포함한다. 제3범핑패드(109)는 도 3a의 제1범핑패드(35)와 동일하므로 설명을 생략한다.
- <148> 제2본딩패드(110)는 제2전원본딩패드(110a), 제2접지본딩패드(110b) 및 제2신호본딩패드(110c)를 포함한다. 제2본딩패드(110)는 본딩와이어(도 4의 3)의 일단과 전기적으로 연결되는 부분이며, 제3재배선칩(100)상에서 A3방향 및 A4방향의 가장자리에 배치된다.

- <149> 제2전원본딩패드(110a)는 제3재배선칩(100)에서 A3방향 및 A4방향의 가장자리에 섬(island) 형태로 배치된다. 제2전원본딩패드(110a)는 제4전극판(111)과 전기적으로 연결된다. 이에 대해서는 후술된다. 제2접지본딩패드(110b)는 도 4의 제2연결부(107)와 전기적으로 연결된다. 제2신호본딩패드(110c)는 제3재배선칩(100)상에서 A3방향 및 A4방향으로의 상하 가장자리에 섬(island) 형태로 배치되며, 제2연결선(108c)과 전기적으로 연결된다.
- <150> 제2연결선(108c)은 그 일단이 제3신호범핑패드(109c)와 전기적으로 연결되고, 그 타단은 제2신호본딩패드(110c)와 전기적으로 연결된다. 즉, 제2연결선(108c)의 타단은, 중심선 C3에 평행한 방향을 따라 제3신호범핑패드(109c)로부터 제3재배선칩(100)의 A3방향 및 A4방향의 가장자리까지 번갈아 연장된다.
- <151> 제4전극판(111)은 제3전원범핑패드(109a)와 전기적으로 연결되어 있고, 제3접지범핑패드(109b) 및 제3신호범핑패드(109c)와는 절연되어 있다. 따라서, 전술한 제3재배선칩(100)의 제조방법중에서 제2재배선(108)과 제4전극판(111)이 형성되는 단계에서, 제4전극판(111)과 제3전원범핑패드(109a) 사이에 전기적 연결부가 마련되도록 도금 레지스트 패턴이 구성되어야 한다. 이에 의하여, 제4전극판(111)은 전원전극판이 된다. 제4전극판(111)은 제3전원범핑패드(109a) 및 제2전원본딩패드(110a)와 일체로 형성되는 것이 바람직하다. 이 경우, 제3전원범핑패드(109a)상에 배치된 제1범프(도 4의 5)는 제4전극판(111)과 직접 맞닿으므로 서로 전기적으로 연결된다.
- <152> 도 5b에 도시된 바와 같이, 제3재배선칩(100)은 제1연결부(104), 제3전극판(105) 및 제2연결부(107)를 포함한다.

- <153> 제1연결부(104)는 제1전원연결부(104a), 제1접지연결부(104b), 제1신호연결부(104c)를 포함한다. 제1전원연결부(104a), 제1접지연결부(104b), 제1신호연결부(104c)는 각각 제3칩패드(102)의 제1전원칩패드(102a), 제1접지칩패드(102b), 제1신호칩패드(102c)와 접촉되어 전기적으로 연결된다.
- <154> 제3전극판(105)은 제1접지연결부(104b)와 전기적으로 연결되어 있고, 제1접지연결부(104b) 및 제1신호연결부(104c)와는 절연되어 있다. 따라서, 전술한 제3재배선칩(100)의 제조방법중에서 제1연결부(104) 및 제3전극판(105)을 형성하는 단계에서, 제3전극판(105)과 제1접지연결부(104b) 사이에 전기적 연결부가 마련되도록 도금 레지스트 패턴이 구성되어야 한다. 이에 의하여, 제3전극판(105)은 접지전극판이 된다. 제3전극판(105)은 제1접지연결부(104b)와 일체로 형성되는 것이 바람직하다.
- <155> 제2연결부(107)는 도 5a의 제2접지본딩패드(110b)에 대응되도록 제3재배선칩(100)상하 가장자리에 섬 형태로 배치된다. 제2연결부(107)는 제3전극판(105)상에 형성되며, 제3전극판(105)과 전기적으로 연결된다.
- <156> 엄밀히 말하자면, 제3전극판(105) 상에는 전술한 제4금속기저층이 형성되고 그 제4금속기저층 위에 제2연결부(도 4의 107)가 형성된다. 하지만, 제4금속기저층은 전기적 접속의 안정화를 위하여 형성되는 것에 불과하므로, 발명의 사상이라는 관점에서 볼 때 제3전극판(105)상에 제2연결부(107)가 형성되는 것으로 보아도 무방할 것이다.
- <157> 도 5a의 재배선 구조와 도 5b의 재배선 구조가 서로 대응되도록, 도 5b의 모서리 F2는 도 5a의 모서리 E2에 맞춰진다.

- <158> 이와 같이, 제1실시예에 비하여 제3전극판(105)이 더 구비된 본 실시예의 구성에 의하여, 감결합 커패시터가 더 추가된다. 따라서, 제1실시예에서 충분한 감결합 커패시턴스가 부족한 경우에도 본 실시예에서는 추가된 감결합 커패시터에 따라 반도체장치에 요구되는 감결합 커패시턴스의 확보가 가능해진다.
- <159> 또한, 제1실시예에서는 제1재배선칩(30)의 제1재배선(도 3a의 34)이 제1전원연결선(39a), 제1접지연결선(39b) 및 제1신호연결선(39c)을 모두 포함하는 데 반하여, 본 실시예에서는 제3재배선칩(100)의 제2재배선(도 5a의 108)은 제2연결선(108c)에 대해서만 연결되어 있다. 따라서, 본 실시예에 의한 제4전극판(111)의 면적이 제1실시예에 의한 제1전극판(37)의 면적보다 더 넓어지므로 감결합 커패시턴스의 효과가 더욱 향상된다.
- <160> 본 실시예에서는 모두 3개의 전극판을 채용하였으나, 필요에 따라 복수층의 전극판을 채용하는 것도 가능하다. 다만, 임의의 전극판이 전원전극판 및 접지전극판 중의 어느 하나라면, 그 전극판과 인접 대향되는 다른 전극판은 전원전극판 및 접지전극판 중의 나머지가 되는 것이 바람직하다.
- <161> 한편, 본 실시예에서는 전극판들이 기판을 기준으로 "기판-접지층-전원층-접지층"으로 적층되는 구성이지만, "기판-전원층-접지층-전원층"으로 적층되는 구성을 가질 수도 있다.
- <162> 제3실시예
- <163> 도 6은 본 발명의 일실시예에 따른 멀티칩 BGA 패키지(M4)를 개략적으로 나타낸 단면도이다.

- <164> 본 발명의 실시예를 설명함에 있어 앞서 설명되고 도 1 내지 도 5b에 도시된 멀티칩 BGA 패키지의 구성요소와 동일한 구성 및 기능을 가지는 구성요소에 대해서는 동일한 참조부호를 부여하여 인용한다.
- <165> 도 6에서 도시된 바와 같이, 본 발명의 일 실시예에 따른 멀티칩 BGA 패키지(M4)는, 제4 및 제5재배선칩(200)(300), 제1범프(5), 제2범프(6), 기판(1), 본딩와이어(3) 및 봉지재(4)를 구비한다.
- <166> 본 실시예에서 제1범프(5), 기판(1), 본딩와이어(3) 및 봉지재(4)는 제2실시예의 경우와 동일하므로 이에 대한 설명은 생략한다.
- <167> 제4재배선칩(200)은 제3반도체칩(101), 제5절연층(103), 제1연결부(104), 제3전극판(105), 제6절연층(106), 제2연결부(107), 제3재배선(208), 제5전극판(211) 및 제8절연층(205)을 포함한다.
- <168> 이하에서는 제4재배선칩(200)을 제조하는 방법을 설명한다.
- <169> 제3칩패드(102)를 포함하는 제3반도체칩(101)이 마련되는 단계에서부터 제4금속기저층을 식각하는 단계까지는 제2실시예의 제3재배선칩(100)과 동일하고, 제3재배선(208) 및 제5전극판(211)을 형성하는 공정은 제2실시예의 제2재배선(108) 및 제4전극판(111)을 형성하는 공정과 동일하므로 설명을 생략한다.
- <170> 그 다음 공정으로서, 제8절연층(205)을 형성하는 단계를 진행한다. 제3재배선(208) 및 제5전극판(211)상에 액상의 절연 물질을 코팅한 후 이를 1차 경화하여 제8절연층(205)을 형성시킨다. 제3 및 제4범프패드(109)(209)와 제2본딩패드(110)가 노출되도록

제8절연층(205)을 패터닝한 후 제8절연층(205)을 2차 경화시킨다. 이러한 제8절연층(205)을 형성하는 단계는 필요에 따라 생략될 수도 있다.

<171> 이로써, 제4재배선칩(200)의 제조공정이 종료된다.

<172> 제5재배선칩(300)은 제5반도체칩(301), 제5칩패드(302), 제9절연층(303), 제4재배선(304), 제6전극판(307) 및 제10절연층(308)을 포함한다.

<173> 이하에서는 제5재배선칩(300)을 제조하는 방법을 설명한다.

<174> 우선, 제5칩패드(302)가 마련된 제5반도체칩(301)을 준비한다.

<175> 그런 다음, 제9절연층(303)을 형성하는 단계를 진행한다. 제5반도체칩(301)상에 액상의 절연 물질을 소정 두께로 코팅한 후, 소정 온도에서 1차 경화시켜 제1절연층(33)을 형성시킨다. 제5칩패드(302)가 노출되도록 제9절연층(303)을 패터닝한 후 제9절연층(303)을 2차 경화시킨다.

<176> 그런 다음, 제5금속기저층(도시되지 않음)을 형성하는 단계를 진행한다. 제9절연층(303) 및 노출된 제5칩패드(302)상에 제5금속기저층을 스퍼터링 방법으로 형성한다.

<177> 그런 다음, 제4재배선(304) 및 제6전극판(307)을 형성하는 단계를 진행한다. 제5금속기저층상에 도금 레지스트(도시되지 않음)를 입히고 원하는 패턴을 형성한 후, 구리 또는 니켈과 같은 금속을 도금하여 제4재배선(304) 및 제6전극판(307)을 형성한다.

<178> 그런 다음, 제5금속기저층을 식각하는 단계를 진행한다. 전술한 도금이 완료되면 그 도금 레지스트를 제거하고 제4재배선(304) 및 제6전극판(307)을 마스크로 하여 제10금속기저층을 식각한다. 본 공정완료후 제4재배선(304)은 제5칩패드(302)와 전기적으로 연결된다. 제6전극판(307)은 제5칩패드(302)중의 제5접지칩패드(도시되지 않음)와 전기

적으로 연결되는데 이는 도 7b에서 자세하게 설명된다. 여기서, 제4재배선(304) 및 제6전극판(307)은 서로 이격되어 형성되므로 도면에서와 같이 이격공간 D5가 마련된다.

<179> 그런 다음, 제10절연층(308)을 형성하는 단계를 진행한다. 제4재배선(304) 및 제6전극판(307)상에 액상의 절연 물질을 코팅한후 이를 1차 경화하여 제10절연층(308)을 형성시킨다. 제5범핑패드(305) 및 제6범핑패드(306)가 노출되도록 제10절연층(308)을 패터닝한 후 제10절연층(308)을 2차 경화시킨다. 이러한 제10절연층(308)을 형성하는 단계는 필요에 따라 생략될 수도 있다. 이로써, 제5재배선칩(300)의 제조공정이 종료된다.

<180> 제2범프(6)는 소정의 본딩 방법에 의하여 제4 및 제6범핑패드(209)(306) 사이에 융착된다. 즉, 제2범프(6)는 제3재배선(208)과 제4재배선(304)을 전기적으로 연결시킨다. 따라서, 제3재배선(208)과 본딩와이어(3)의 일단이 전기적으로 연결되는 접점 N1에서부터 제3칩패드(102)까지의 전기신호 전달경로상에 2개의 범프(5)(6)가 배치된다. 마찬가지로, 제4재배선(304)상에도 2개의 범프(5)(6)가 배치된다

<181> 도 7a는 제4재배선칩(도 6의 200)의 재배선을 개략적으로 나타낸 평면도이고, 도 7b는 제5재배선칩(도 6의 300)의 재배선을 개략적으로 나타낸 평면도이다. 참고로, 도 7a에서의 V-V'에 대한 단면도 및 도 7b에서의 VI-VI'에 대한 단면도는 도 6에 도시된 바와 같다.

<182> 도 7a에 도시된 바와 같이, 제4재배선칩(200)은 제3재배선(208) 및 제5전극판(211)을 포함한다.

<183> 제3재배선(208)은 제3범핑패드(109), 제2본딩패드(110), 제3연결선(208c), 제4연결선(208d) 및 제4범핑패드(209)를 포함한다.

- <184> 제3범핑패드(109) 및 제2본딩패드(110)는 제2실시예의 제3재배선칩(100)의 경우와 동일하므로 설명을 생략한다.
- <185> 제3연결선(208c)은 그 일단이 제3신호범핑패드(109c)와 전기적으로 연결되고, 그 타단은 제4범핑패드(209)와 전기적으로 연결된다. 즉, 제3연결선(208c)의 타단은, 중심선 C5에 평행한 방향을 따라 제3신호범핑패드(109c)로부터 제4재배선칩(200)의 A5방향 및 A6방향의 가장자리까지 번갈아 연장된다.
- <186> 제4연결선(208d)은 그 일단이 제4범핑패드(209)와 전기적으로 연결되고, 그 타단은 제2신호본딩패드(110c)와 전기적으로 연결된다.
- <187> 제4범핑패드(209)는 제1신호범핑패드(109c)와 제2신호본딩패드(110c) 사이에 배치되어 융착되고, 이 둘과 각각 전기적으로 연결된다. 제4범핑패드(209) 상에는 제2범프(도 6의 6)가 배치되어 제2범프(6)와 전기적으로 연결된다.
- <188> 제5전극판(211)은 제3전원범핑패드(109a)와 전기적으로 연결되어 있고, 제3접지범핑패드(109b) 및 제3신호범핑패드(109c)와는 절연되어 있다. 따라서, 전술한 제3재배선칩(100)의 제조방법중에서 제3재배선(208)과 제5전극판(211)이 형성되는 단계에서, 제5전극판(211)과 제3전원범핑패드(109a) 사이에 전기적 연결부가 마련되도록 도금 레지스트 패턴이 구성되어야 한다. 이에 의하여, 제5전극판(211)은 전원전극판이 된다. 제5전극판(211)은 제3전원범핑패드(109a) 및 제2전원본딩패드(110a)와 일체로 형성되는 것이 바람직하다. 이 경우, 제3전원범핑패드(109a)상에 배치된 제1범프(도 6의 5)는 제5전극판(211)과 직접 맞닿으므로 서로 전기적으로 연결된다.

- <189> 도 7b에서 도시된 바와 같이, 제5재배선칩(300)은 제4재배선(304) 및 제6전극판(307)을 포함한다.
- <190> 제4재배선(304)은 제5범핑패드(305), 제6범핑패드(306), 제5연결선(304c)을 포함한다.
- <191> 제5 및 제6범핑패드(305)(306)는 각각 도 7a의 제3 및 제4범핑패드(109)(209)에 대응되도록 제5재배선칩(300)상에 배치된다.
- <192> 제5연결선(304c)은 도 7a의 제3연결선(208c) 대응되도록 제5재배선칩(50)상에 배치된다. 제5연결선(304c)의 일단은 제5신호범핑패드(305c)와 전기적으로 연결된다. 제5연결선(304c)의 타단은 제6범핑패드(306)와 전기적으로 연결된다. 제6범핑패드(306)상에는 제2범프(도 6의 6)가 배치되고, 제6범핑패드(306)는 제2범프(6)와 전기적으로 연결된다. 따라서, 제4범핑패드(도 7a의 209)와 제6범핑패드(306)는 제2범프(6)를 매개로 하여 전기적으로 연결된다.
- <193> 제6전극판(307)은 도 3b의 제2전극판(46)과 비교하여 제5연결선(304c)과 제6범핑패드(306)가 형성된 부분에 따라 감소된 면적 이외에는 도 3b의 제2전극판(46)과 동일하므로 설명을 생략한다.
- <194> 도 7a에서의 재배선 구조와 도 7b에서의 재배선 구조가 서로 대응되도록, 도 7b의 모서리 F3은 도 7a의 모서리 E3과 맞춰지도록 한다.
- <195> 이와 같이, 제2실시예에 비하여 제4범핑패드(209), 제6범핑패드(306) 및 제2범프(6)가 더 구비된 본 실시예의 구성에 의하여, 제3재배선(도 6의 208)과 본딩와이어(3)의

일단과의 접점 N1로부터 제3 및 제5칩패드(102)(302)까지 각각의 인덕턴스 및 저항이 저감된다.

<196> 이를 상세히 설명하면 다음과 같다.

<197> 도 8a는 도 6에서 제2범프(6)가 제거된 상태에서의 접점 N1에서부터 접점 N5까지에 대한 인덕턴스를 나타낸 회로도이고, 도 8b는 도 6에서의 접점 N1에서부터 접점 N5까지에 대한 인덕턴스를 나타낸 회로도이다. 여기서, 인덕턴스 L1은 접점 N1에서부터 접점 N2까지의 인덕턴스 값이다. 인덕턴스 L2는 접점 N2에서부터 접점 N3까지의 인덕턴스 값이다. 인덕턴스 L3은 접점 N3에서부터 접점 N5까지의 인덕턴스 값이다. 인덕턴스 L4는 접점 N2에서부터 접점 N4까지의 인덕턴스 값이다. 인덕턴스 L5는 접점 N4에서부터 접점 N5까지의 인덕턴스 값이다.

<198> 도 8a는 대향되는 두 재배선칩 사이에 제1범프(5)만이 융착된 제2실시예의 경우와 유사한 경우이다. 이 경우에 접점 N1에서부터 접점 N3까지의 인덕턴스 L10은 다음과 같다. 여기서, 인덕턴스 L10은 제2실시예의 제3재배선칩(도 4의 100)에 포함된 재배선에 대한 인덕턴스로 볼 수 있다.

<199> 【수학식 1】  $L10 = L1 + L2$

<200> 이 경우, 접점 N1에서부터 접점 N5까지의 인덕턴스 L20은 다음과 같다. 여기서, 인덕턴스 L20은 도 4의 제2재배선칩(40)에 포함된 재배선에 대한 인덕턴스로 볼 수 있다.

<201> 【수학식 2】  $L20 = L1 + L2 + L3$

<202> 도 8b는 대향되는 두 재배선칩 사이에 제1 및 제2범프(5)(6) 모두가 융착되

는 본 실시예와 같은 경우이다. 이 경우에 접점 N1에서부터 접점 N3까지의 인덕턴스 L30은 다음과 같다. 여기서, 인덕턴스 L30은 도 6의 제4재배선칩(200)에 포함된 재배선에 대한 인덕턴스이다.

<203>  
**【수학식 3】** 
$$L30 = L1 + \frac{L2 \times (L3 + L4 + L5)}{L2 + L3 + L4 + L5}$$

<204> 이 경우, 접점 N1에서부터 접점 N5까지의 인덕턴스 L40은 다음과 같다. 여기서, 인덕턴스 L40은 도 6의 제5재배선칩(300)에 포함된 재배선에 대한 인덕턴스이다.

<205>  
**【수학식 4】** 
$$L40 = L1 + \frac{(L2 + L3) \times (L4 + L5)}{L2 + L3 + L4 + L5}$$

<206> 그런데, 도 6을 참조하여, 제3 및 제4재배선(208)(304) 각각의 재질과 형상이 서로 동일하다면 인덕턴스 L5는 인덕턴스 L2와 같게 된다. 또한, 실제에 있어서, 제1 및 제2범프(5)(6)에 대한 인덕턴스는 접점 N2에서부터 접점 N3까지의 인덕턴스에 비하여 매우 작으므로, 제1 및 제2범프(5)(6)에 대한 인덕턴스 L3 및 L4는 무시할 수 있다. 이에 따라, 인덕턴스 L20, L30 및 L40은 각각 인덕턴스 L21, L31 및 L41로 전환이 가능하며 그 식들은 다음과 같다.

<207>  
**【수학식 5】** 
$$L21 = L1 + L2$$

<208>  
**【수학식 6】** 
$$L31 = L1 + \frac{L2}{2}$$

<209>  
**【수학식 7】** 
$$L41 = L1 + \frac{L2}{2}$$

- <210> 위와 같이,  $L10 > L31$  이고,  $L21 > L41$ 이므로, 본 실시예의 재배선 구조에 의하여 인덕턴스 값이 저감됨을 알 수 있다. 저항성분도 마찬가지로 볼 수 있다.
- <211> 따라서, 본 발명에 의한 멀티칩 BGA 패키지에서 한 쌍의 재배선칩간에 스텐브 (stub)현상이 감소되며, 신호 입출력의 고속화가 가능한 고속 반도체장치의 구현이 가능하게 된다.
- <212> 본 실시예에서는 재배선중에서 신호선의 경우에 대해서만 설명하였으나, 이러한 형태의 인덕턴스 감소는 전원선 또는 접지선에 적용되었을 때에 가장 효과가 크다. 이에 대해서는 아래의 제4실시예에서 후술된다.
- <213> 본 실시예에서는 제3, 제5 및 제6전극판(105)(211)(307)에 의하여 감결합 커패시터가 마련되는 경우를 상정하였다. 그러나, 이와 같은 감결합 커패시터가 배제되는 경우와 같이 감결합 커패시터의 효과가 고려되지 않더라도, 제4범핑패드(209), 제6범핑패드(306) 및 제2범프(6)가 더 구비된 구성만으로서도 인덕턴스와 저항이 감소되어 반도체의 동작 특성이 향상되리라는 것은 본 발명이 속한 분야에서 통상의 지식을 가진 자에게는 자명할 것이다.
- <214> 한편, 도 7a에서의 제3 및 제4연결선(208c)(208d)과 도 7b에서의 제5연결선(304c)는 제1실시예에서 전술한 코플래나 도파관이 될 수도 있다. 더욱이, 도 6에서 도시된 바와 같이 제3 및 제4연결선(208c)(208d)을 포함하는 제3재배선(208)이 제3전극판(105) 위에 배치되기 때문에, 제3 및 제4연결선(208c)(208d)은 컨덕터-백 코플래나 도파관 (conductor backed CPW)이 될 수도 있다. 따라서, 고속의 전기신호가 멀티칩 BGA 패키지 (M4)에 적용될 경우 제3 및 제4연결선(208c)(208d)에서 발생하는 열에 대한 열 방출효과가 향상된다.

<215>      제4실시예

- <216>      도 9a는 본 발명의 일실시예에 따른 멀티칩 BGA 패키지중에서 제6재배선칩(60)의 재배선을 개략적으로 나타낸 평면도이고, 도 9b는 본 발명의 일실시예에 따른 멀티칩 BGA 패키지중에서 제7재배선칩(70)의 재배선을 개략적으로 나타낸 평면도이다.
- <217>      본 발명의 실시예를 설명함에 있어 앞서 설명되고 도 1 내지 도 8b에 도시된 멀티칩 BGA 패키지의 구성요소와 동일한 구성 및 기능을 가지는 구성요소에 대해서는 동일한 참조부호를 부여하여 인용한다.
- <218>      본 실시예에서는 제3실시예와 비교하여 재배선칩 활성면상에 배치된 재배선 형태가 변경된 사항에 대하여 설명한다. 이러한 재배선 형태 변경에 따른 멀티칩 BGA 패키지내의 부수적 변경 사항은 본 발명이 속한 분야에서 통상의 지식을 가진 자라면 용이하게 실시할 수 있을 것이다.
- <219>      도 9a에 도시된 바와 같이, 제6재배선칩(60)은 제6반도체칩(도시되지 않음), 제1센터패드(61), 제6연결선(62), 제7연결선(67), 제7범핑패드(64), 제1라지패드(66) 및 제7전극판(63)을 포함한다. 여기서, 제6반도체칩은 제3실시예의 제3반도체칩(도 6의 101)과 동일하므로 설명을 생략한다.
- <220>      제1센터패드(61)는 중심선 C7과 평행한 방향으로 제6재배선칩(60)상에 일렬로 배열된다. 제1센터패드(61)는 제1전원센터패드(61a), 제1접지센터패드(61b) 및 제1신호센터패드(61c)를 포함한다.
- <221>      제1전원센터패드(61a)는 제6재배선칩(60)에 포함된 제6반도체칩(도시되지 않음)의 제6전원칩패드(도시되지 않음)와 전기적으로 연결된다. 따라서, 제1전원센터패드(61a)는

외부의 전원 단자와 전기적으로 연결된다. 제1접지센터패드(61b)는 제6재배선칩(60)에 포함된 제6반도체칩(도시되지 않음)의 제6접지칩패드(도시되지 않음)와 전기적으로 연결된다. 따라서, 제1접지센터패드(61b)는 외부의 접지 단자와 전기적으로 연결된다. 제1신호센터패드(61c)는 제6재배선칩(60)에 포함된 제6반도체칩(도시되지 않음)의 제6신호칩패드(도시되지 않음)와 전기적으로 연결된다. 따라서, 제1신호센터패드(61c)는 외부의 신호 단자와 전기적으로 연결된다.

<222> 제6연결선(62)은 제6전원연결선(62a), 제6접지연결선(62b) 및 제6신호연결선(62c)을 포함한다.

<223> 제6전원연결선(62a)은 그 일단이 제1전원센터패드(61a)와 전기적으로 연결되며, 그 타단은 제7전원범핑패드(64a)와 전기적으로 연결된다. 제6접지연결선(62b)은 그 일단이 제1접지센터패드(61b)와 전기적으로 연결되며, 그 타단은 제7접지범핑패드(64b)와 전기적으로 연결된다.

<224> 제7연결선(67)은 그 일단이 제7신호범핑패드(64c)와 전기적으로 연결되며, 그 타단은 제1신호라지패드(66c)와 전기적으로 연결된다.

<225> 본 실시예에서는, 중심선 C7에 대한 제7전원범핑패드(64a), 제7접지범핑패드(64b) 및 제7신호범핑패드(64c)의 높이가 각각 다르기 때문에, 제6전원연결선(62a), 제6접지연결선(62b) 및 제6신호연결선(62c)의 길이는 제7전원범핑패드(64a), 제7접지범핑패드(64b) 및 제7신호범핑패드(64c)각각의 배치에 따라 서로 다르다. 이에 대해서는 후술된다.

- <226> 제7범핑패드(64)는 제7전원범핑패드(64a), 제7접지범핑패드(64b) 및 제7신호범핑패드(64c)를 포함한다. 제7범핑패드(64)상에는 제3실시예에서와 같은 제1범프(도 6의 5)가 배치되며 제1범프(5)와 전기적으로 연결된다.
- <227> 제7전원범핑패드(64a)는 제6전원연결선(62a)의 타단과 전기적으로 연결된다. 제7접지범핑패드(64b)는 제6접지연결선(62b)의 타단과 전기적으로 연결된다.
- 제7신호범핑패드(64c)는 제6신호연결선(62c) 및 제7연결선(62) 사이에 배치되며, 제6신호연결선(62c)의 타단 및 제7연결선(62)의 일단의 각각과 전기적으로 연결된다.
- <228> 제7범핑패드(64)는 중심선 C7에 대하여 각기 서로 다른 높이를 가진다. 즉, 도 9a에 도시된 바와 같이, 제3범핑패드(64)는 중심선 C7에 대하여 주기적으로 높이 H1 내지 H4를 가지도록 제6재배선칩(60)상에 배치된다.
- <229> 제1라지패드(66)는 제1전원라지패드(66a), 제1접지라지패드(66b) 및 제1신호라지패드(66c)를 포함한다. 제1라지패드(66)는 도 7a에서의 제4범핑패드(209)와 제2신호본딩패드(110c)의 기능이 결합된 형태의 복합 패드이다. 따라서, 제1라지패드(66)는 제3실시예에서와 같은 제2범프(도 6의 6)와 맞닿게 되어 전기적으로 연결되고, 제3실시예에서와 같은 본딩와이어(도 6의 3)의 일단과 전기적으로 연결된다. 제1라지패드(66)의 적절한 기능확보를 위하여, 그 형상은 타원형상인 것이 바람직하다.
- <230> 제1전원라지패드(66a)는 제6재배선칩(60)상에서 A9방향 내지 A10방향으로의 상하 가장자리에 섬 형태로 배치된다. 제1전원라지패드(66a)는 제7전극판(63)과 전기적으로 연결된다. 따라서, 제1전원라지패드(66a)가 제7전극판(63)과 일체로 형성되도록 하는 것이 바람직하다. 제1접지라지패드(66b)도 제6재배선칩(60)상에서 A9방향 내지 A10방향으

로의 상하 가장자리에 섬 형태로 배치된다. 제1신호라지패드(66c)는 제6재배선칩(60)의 상하 가장자리에 섬 형태로 배치되면서, 제7연결선(67)의 타단과 전기적으로 연결된다.

<231> 제7전극판(63)은 제6연결선(62) 및 제1라지패드(66)의 추가 배치에 따라 도 7a의 제5전극판(211)과 형상에 있어서는 약간 차이는 있지만, 그 기능 및 작용이 동일하므로 설명을 생략한다.

<232> 도 9b에 도시된 바와 같이, 제7재배선칩(70)은 제7반도체칩(도시되지 않음), 제2센터패드(71), 제8연결선(72), 제9연결선(77), 제8범핑패드(74), 제9범핑패드(76) 및 제8전극판(73)을 포함한다. 여기서, 제7반도체칩은 제3실시예의 제5반도체칩(301)과 동일하므로 설명을 생략한다.

<233> 제2센터패드(71)는 제2전원센터패드(71a), 제2접지센터패드(71b) 및 제2신호센터패드(71c)를 포함하고, 제7반도체칩에 포함된 소정의 칩패드와 전기적으로 연결된다. 제2전원센터패드(71a), 제2접지센터패드(71b) 및 제2신호센터패드(71c)는 각각 도 9a의 제1전원센터패드(61a), 제1접지센터패드(61b) 및 제1신호센터패드(61c)에 대응되도록 중심선 C8에 평행한 방향으로 제7재배선칩(70)상에 일렬로 배열된다.

<234> 제8연결선(72)은 제8전원연결선(72a), 제8접지연결선(72b) 및 제8신호연결선(72c)을 포함한다. 제8전원연결선(72a), 제8접지연결선(72b) 및 제8신호연결선(72c)은 각각 도 9a의 제6전원연결선(62a), 제6접지연결선(62b) 및 제6신호연결선(62c)에 대응되도록 제7재배선칩(70)상에 형성된다.

<235> 제9연결선(77)은 도 9a의 제7연결선(67)에 대응되도록 제7재배선칩(70)상에 형성된다.

<236> 제8범핑패드(74)는 제8전원범핑패드(74a), 제8접지범핑패드(74b) 및 제8신호범핑패드(74c)를 포함한다. 제8전원범핑패드(74a), 제8접지범핑패드(74b) 및 제8신호범핑패드(74c)는 각각 도 9a의 제7전원범핑패드(64a), 제7접지범핑패드(64b) 및 제7신호범핑패드(64c)에 대응되도록 제7재배선칩(70)상에 형성된다. 제8범핑패드(74) 상에는 제3실시예에서의 제1범프(도 6의 5)가 배치되며 제1범프(5)와 전기적으로 연결된다. 따라서, 제8범핑패드(74)는 제1범프(5)를 매개로 하여 제7범핑패드(도 9a의 64)와 서로 전기적으로 연결된다.

<237> 제9범핑패드(76)는 제9접지범핑패드(76b) 및 제9신호범핑패드(76c)를 포함한다. 제9접지범핑패드(76b) 및 제9신호범핑패드(76c)는 각각 도 9a의 제1접지라지패드(66b) 및 제1신호라지패드(66c)에 대응되도록 제7재배선칩(70)상에 형성된다. 제9범핑패드(76)상에는 제3실시예에서의 제2범프(도 6의 6)가 배치되어 이 둘이 서로 전기적으로 연결된다. 따라서, 제9범핑패드(76)는 제2범프(6)를 매개로 하여 제1라지패드(도 9a의 66)와 서로 전기적으로 연결된다.

<238> 제8전극판(73)은 도 7b의 제6전극판(53)과 약간의 형상 차이는 있으나, 그 작용 및 기능은 동일한 것으로 볼 수 있으므로 설명을 생략한다.

<239> 제6 및 제7재배선칩(60)(70) 각각의 재배선간의 대응조건이 만족되기 위하여, 제6 및 제7재배선칩(60)(70)이 멀티칩 BGA 패키지내에 실장시 도 9a의 모서리 E4와 도 9b의 모서리 F4가 서로 맞춰지도록 한다.

<240> 제6 및 제7재배선칩(60)(70)이 멀티칩 BGA 패키지에 실장되는 경우에, 반도체 제조 공정상의 프로세스 안정성 및 신속성을 위하여 제6 및 제7재배선칩(60)(70)상의 각각의 재배선들은 서로 대칭이 되도록 하는 것이 바람직하다.

<241> 이와 같이, 본 실시예에서는, 제3실시예와는 달리, 신호선뿐만이 아니라 전원선 및 접지선에 대해서도 제2범프(도 6의 6)가 적용되어 그 전원선 및 그 접지선에 대한 임피던스가 감소된다. 따라서, 전원 노이즈가 더욱 향상될 수 있다.

<242> 또한, 본 실시예는 제7범프패드(도 9a의 64)와 이와 대응되는 제8범프패드(도 9b의 74)가 각각 중심선 C7 및 C8에 대하여 소정의 단차를 가지도록 배치되고, 아울러 동일 평면상에서 서로 인접되는 두 범프패드가 중심선 C7 또는 C8에 대해 서로 다른 단차를 가지는 구조를 가진다. 이와 같은 구조에 의해 제3실시예에서의 제1범프(도 6의 5)가 중심선 C7 또는 C8에 대하여 지그재그 방식으로 배치된다. 따라서, 제1범프(5)가 중심선 C8과 평행한 방향을 따라 일렬로 배열될 때보다 더욱 조밀하게 각 재배선이 배치될 수 있다. 즉, 각 재배선간의 피치가 짧아지므로, 재배선칩이 동일성능이 유지되면서도 소형화가 가능하게 된다.

<243> 제5실시예

<244> 도 10a는 본 발명의 일실시예에 따른 멀티칩 BGA 패키지중에서 제8재배선칩(80)의 재배선을 개략적으로 나타낸 평면도이고, 도 10b는 본 발명의 일실시예에 따른 멀티칩 BGA 패키지중에서 제9재배선칩(90)의 재배선을 개략적으로 나타낸 평면도이다.

<245> 본 발명의 실시예를 설명함에 있어 앞서 설명되고 도 1 내지 도 9b에 도시된 멀티칩 BGA 패키지의 구성요소와 동일한 구성 및 기능을 가지는 구성요소에 대해서는 동일한 참조부호를 부여하여 인용한다.

<246> 본 실시예에서는 제4실시예와 비교하여 재배선칩 상에 배치된 재배선 형태가 변경된 사항에 대하여 설명한다. 이러한 재배선 형태 변경에 따른 멀티칩 BGA 패키지내의 부

수적 변경 사항은 본 발명이 속한 분야에서 통상의 지식을 가진 자라면 용이하게 실시할 수 있을 것이다.

<247> 도 10a에 도시된 바와 같이, 제8재배선칩(80)은 제4실시예에서의 제6재배선칩(60)과 동일하므로 설명을 생략한다.

<248> 도 10b에 도시된 바와 같이, 제9재배선칩(90)은 제2센터패드(71), 제8연결선(72), 제8범핑패드(74), 제9접지범핑패드(76b) 및 제9전극판(93)을 포함한다.

<249> 제2센터패드(71), 제8연결선(72), 제8범핑패드(74) 및 제9접지범핑패드(76b)는 제4실시예의 제7재배선칩(70)에서와 동일하므로 설명을 생략한다. 또한, 제9전극판(93)은 그 형상이 제4실시예의 제8전극판(73)과 약간 차이는 있지만, 그 기능 및 작용은 제4실시예의 제8전극판(73)과 동일하므로 설명을 생략한다.

<250> 제8 및 제9재배선칩(80)(90) 각각의 재배선간의 대응조건이 만족되기 위하여, 제8 및 제9재배선칩(80)(90)이 멀티칩 BGA 패키지내에 실장시 도 10a의 모서리 E5와 도 10b의 모서리 F5가 서로 맞춰지도록 한다.

<251> 제6실시예

<252> 도 11a는 본 발명의 일실시예에 따른 멀티칩 BGA 패키지중에서 제10재배선칩(150)의 재배선을 개략적으로 나타낸 평면도이고, 도 11b는 본 발명의 일실시예에 따른 멀티칩 BGA 패키지중에서 제11재배선칩(160)의 재배선을 개략적으로 나타낸 평면도이다.

<253> 본 발명의 실시예를 설명함에 있어 앞서 설명되고 도 1 내지 도 9b에 도시된 멀티칩 BGA 패키지의 구성요소와 동일한 구성 및 기능을 가지는 구성요소에 대해서는 동일한 참조부호를 부여하여 인용한다.

- <254> 본 실시예에서는 제4실시예와 비교하여 재배선칩 활성면상에 배치된 재배선 형태가 변경된 사항에 대하여 설명한다. 이러한 재배선 형태 변경에 따른 멀티칩 BGA 패키지내의 부수적 변경 사항은 본 발명이 속한 분야에서 통상의 지식을 가진 자라면 용이하게 실시할 수 있을 것이다.
- <255> 도 11a에 도시된 바와 같이, 제10재배선칩(150)은 제1센터패드(61), 제2라지패드(156), 제6연결선(62), 제7범핑패드(64), 제10연결선(157) 및 제10전극판(153)을 포함한다.
- <256> 제1센터패드(61), 제6연결선(62), 제7범핑패드(64)는 제4실시예에서와 동일하므로 설명을 생략한다. 또한, 제10전극판(153)은 그 형상이 제4실시예의 제7전극판(63)과 약간 차이는 있지만, 그 기능 및 작용은 제4실시예의 제7전극판(63)과 동일하므로 설명을 생략한다.
- <257> 제2라지패드(156)는 제2전원라지패드(156a), 제2접지라지패드(156b) 및 제2신호라지패드(156c)를 포함한다. 제2라지패드(156)는 제10재배선칩(150)상의 상하좌우 4가장자리 각각에 배치된다. 제2라지패드(156)는, 제1센터패드(61) 각각이 위치한 곳에서부터 제10재배선칩(150)상의 상하좌우 4가장자리 각각에까지 거리 중에서 최단 거리에 해당되는 제10재배선칩(150)상의 가장자리에 배치된다. 즉, 도 11a에서 도시된 바와 같이, Q1부분에 해당되는 제2라지패드(156)는 왼쪽 가장자리에, Q2부분에 해당되는 제2라지패드(156)는 제4실시예와 같이 상하측 가장자리에, Q3부분에 해당되는 제2라지패드(156)는 오른쪽 가장자리에 각각 배치된다.
- <258> 제10연결선(157)은 그 일단이 제7신호범핑패드(64c)와 전기적으로 연결되며, 그 타단은 제7신호라지패드(156c)와 전기적으로 연결된다.

- <259> 도 11b에 도시된 바와 같이, 제11재배선칩(160)은 제2센터패드(71), 제8연결선(72), 제11연결선(167), 제8범핑패드(74), 제10범핑패드(166) 및 제11전극판(163)을 포함한다.
- <260> 제2센터패드(71), 제8연결선(72) 및 제8범핑패드(74)는 제4실시예와 동일하므로 설명을 생략한다. 또한, 제11전극판(163)은 그 형상이 제4실시예의 제8전극판(73)과 약간 차이는 있지만, 그 기능 및 작용은 제4실시예의 제8전극판(73)과 동일하므로 설명을 생략한다.
- <261> 제11연결선(167)은 도 11a의 제10연결선(157)에 대응되도록 제11재배선칩(160)상에 배치된다.
- <262> 제10범핑패드(166)는 제10접지범핑패드(166b)와 제10신호범핑패드(166c)를 포함한다. 제10접지범핑패드(166b) 및 제10신호범핑패드(166c)는 각각 도 11a의 제2접지라지패드(156b) 및 제2신호라지패드(156c)에 대응되도록 제11재배선칩(160)상에 배치된다.
- <263> 제10 및 제11재배선칩(150)(160) 각각의 재배선간의 대응조건이 만족되기 위하여, 제10 및 제11재배선칩(150)(160)이 멀티칩 BGA 패키지 내에 실장시 도 11a의 모서리 E6과 도 11b의 모서리 F6이 서로 맞춰지도록 한다.
- <264> 제10 및 제11재배선칩(150)(160)이 멀티칩 BGA 패키지에 실장되는 경우에, 반도체 제조공정상의 프로세스 안정성 및 신속성을 위하여 제10 및 제11재배선칩(150)(160)상 각각의 재배선들은 서로 대칭이 되도록 하는 것이 바람직하다.
- <265> 이와 같이, 본 실시예에서는 제2라지패드(도 11a의 156)와 이에 대응되는 제10범핑패드(도 11b의 166)가 채용되는 구성으로써, 소정거리 이격 배치되는 제10 및 제11재배

선칩(150)(160)사이의 4가장자리 모두에 제4실시예에서와 같은 제2범프(도 6의 6)가 융착된다.

<266> 따라서, Q1부분 및 Q2부분에서의 신호선 길이가 짧아지게 되어 그 신호선의 인덕턴스 및 저항이 감소하므로 신호 전달 특성이 향상된다.

<267> 또한, 제2범프(6)가 제11재배선칩(160)을 지지하기 위한 받침대 역할을 하므로, 제10재배선칩(150)에 대한 제11재배선칩(160)의 자세 안정성이 향상된다.

<268> 제7실시예

<269> 도 12a는 본 발명의 일실시예에 따른 멀티칩 BGA 패키지중에서 제12재배선칩(170)의 재배선을 개략적으로 나타낸 평면도이고, 도 12b는 본 발명의 일실시예에 따른 멀티칩 BGA 패키지중에서 제13재배선칩(180)의 재배선을 개략적으로 나타낸 평면도이다.

<270> 본 발명의 실시예를 설명함에 있어 앞서 설명되고 도 1 내지 도 11b에 도시된 멀티칩 BGA 패키지의 구성요소와 동일한 구성 및 기능을 가지는 구성요소에 대해서는 동일한 참조부호를 부여하여 인용한다.

<271> 본 실시예에서는 제6실시예와 비교하여 재배선칩 활성면상에 배치된 재배선 형태가 변경된 사항에 대하여 설명한다. 이러한 재배선 형태 변경에 따른 멀티칩 BGA 패키지내의 부수적 변경 사항은 본 발명이 속한 분야에서 통상의 지식을 가진 자라면 용이하게 실시할 수 있을 것이다.

<272> 도 12a에 도시된 바와 같이, 제12재배선칩(170)은 제1센터패드(61), 제2라지패드(156), 제6연결선(62), 제10연결선(157), 제7범핑패드(64), 제12전극판(173) 및 제1더미패드(177)를 포함한다. 여기서, 부호 'd'는 더미패드를 나타낸다.

- <273> 제1센터패드(61), 제2라지패드(156), 제6연결선(62), 제10연결선(157) 및 제7범핑패드(64)는 제6실시예의 제10재배선칩(150)에서와 동일하므로 설명을 생략한다. 또한, 제12전극판(173)은 그 형상이 제6실시예의 제10전극판(153)과 약간 차이는 있지만, 그 기능 및 작용은 제6실시예의 제10전극판(153)과 동일하므로 설명을 생략한다.
- <274> 제1더미패드(177)는 제12재배선칩(170)의 4모서리 각각의 부근에 배치된다. 제1더미패드(177)가 제10전극판(153)과 절연되도록 제1더미패드(177)와 제10전극판(153) 사이에는 소정의 이격 공간이 마련된다. 본 실시예에서는 제12재배선칩(170)의 4모서리 각각을 기준으로 좌우에 각각 2개씩 총 16개의 제1더미패드(177)가 배치된다. 제1더미패드(177)상에는 더미 볼(dummy ball; 도시되지 않음)이 더 배치되고, 제1더미패드(177)는 그 더미 볼과 맞닿아 융착된다.
- <275> 도 12b에 도시된 바와 같이, 제13재배선칩(180)은 제2센터패드(71), 제8연결선(72), 제11연결선(167), 제8범핑패드(74), 제10범핑패드(166), 제13전극판(183) 및 제2더미패드(187)를 포함한다.
- <276> 제2센터패드(71), 제8연결선(72), 제11연결선(167), 제8범핑패드(74) 및 제10범핑패드(166)는 제6실시예에서와 동일하므로 설명을 생략한다. 또한, 제13전극판(183)은 그 형상이 제6실시예의 제11전극판(163)과 약간 차이는 있지만, 그 기능 및 작용은 제6실시예의 제11전극판(163)과 동일하므로 설명을 생략한다.
- <277> 제2더미패드(187)는 도 12a의 제1더미패드(177)에 대응되도록 제13재배선칩(180)상에 배치된다. 제2더미패드(187)가 제13전극판(183)과 절연되도록 제2더미패드(187)와 제13전극판(183) 사이에는 소정의 이격공간이 마련된다. 제2더미패드(187)상에는 그 더미 볼이 배치되고, 제2더미패드(187)는 그 더미 볼과 서로 맞닿게 된다. 더미 볼의 위치

가 안정적으로 고정되기 위하여, 제1 및 제2더미패드(177)(187) 사이에 그 더미 볼이 소정의 본딩 방법으로 용착된다. 이러한 더미 볼은 제12재배선칩(170)에 대하여 제13재배선칩(180)을 지지하기 위한 받침대 역할을 한다.

<278> 제12 및 제13재배선칩(170)(180) 각각의 재배선간의 대응조건이 만족되기 위하여, 제12 및 제13재배선칩(170)(180)이 멀티칩 BGA 패키지 내에 실장시 도 12a의 모서리 E7과 도 12b의 모서리 F7이 서로 맞춰지도록 한다.

<279> 제12 및 제13재배선칩(170)(180)이 멀티칩 BGA 패키지에 실장되는 경우에, 반도체 제조공정상의 프로세스 안정성 및 신속성을 위하여 제12 및 제13재배선칩(170)(180)상의 각각의 재배선들은 서로 대칭이 되도록 하는 것이 바람직하다.

<280> 이와 같이, 본 실시예에서는 제1 및 제2더미패드(177)(128), 그리고 그 더미 볼이 채용되는 구성으로써, 제12재배선칩(170)에 대한 제13재배선칩(180)의 자세 안정성이 제6실시예에 비해 더욱 향상된다.

<281> 제8실시예

<282> 도 13은 본 발명의 일실시예에 따른 멀티칩 BGA 패키지(M5)를 개략적으로 나타낸 단면도이다.

<283> 본 발명의 실시예를 설명함에 있어 앞서 설명되고 도 1 내지 도 6에 도시된 멀티칩 BGA 패키지의 구성요소와 동일한 구성 및 기능을 가지는 구성요소에 대해서는 동일한 참조부호를 부여하여 인용한다.

<284> 본 실시예에서는 제3실시예와 비교하여 재배선칩의 적층 형태가 변경된 사항

에 대하여 설명한다. 이러한 적층 형태의 변경에 따른 멀티칩 BGA 패키지내의 부수적 변경 사항은 본 발명이 속한 분야에서 통상의 지식을 가진 자라면 용이하게 실시할 수 있을 것이다.

- <285> 도 13에서 도시된 바와 같이, 본 발명의 일실시예에 따른 멀티칩 BGA 패키지(M5)는, 제1멀티칩(400), 제2멀티칩(500), 기판(800), 본딩와이어(3), 제2본딩와이어(600) 및 제2봉지재(700)를 구비한다.
- <286> 제1멀티칩(400)은 제4 및 제5재배선칩(200)(300), 그리고 제1 및 제2범프(5)(6)를 포함한다. 제4 및 제5재배선칩(200)(300), 그리고 제1 및 제2범프(5)(6)도 제3실시예에 서와 동일하므로 설명을 생략한다.
- <287> 제2멀티칩(500)은 제1멀티칩(400)에 대응되는 구조를 가진다. 물론 제2멀티칩(500)은 제1멀티칩(400)과 동일한 구조를 가질수도 있다. 제2멀티칩(500)의 저면(底面)은 제1멀티칩(400)의 상면(上面)에 접촉 고정된다.
- <288> 기판(800)은 그 제1멀티칩(400)의 저면(底面)을 지지 고정한다. 기판(800)의 저면(底面)에는 외부와 멀티칩 BGA 패키지(M5)를 전기적으로 연결시키는 제2도전성 볼(900)이 배치된다.
- <289> 본딩와이어(3)는 제4재배선칩(200)과 기판(800)이 서로 전기적으로 연결시킨다.
- <290> 제2본딩와이어(600)는 그 일단이 제2멀티칩(500)과 전기적으로 연결되고, 그 타단은 기판(800)과 전기적으로 연결된다. 따라서, 제2본딩와이어(9)는 제2멀티칩(500)과 기판(800)을 서로 전기적으로 연결시킨다.

- <291> 봉지재(700)는 제1 및 제2멀티칩(400)(500), 본딩와이어(3), 제2본딩와이어(600), 그리고 기판(800)의 상면(上面)을 봉지한다.
- <292> 이와 같이, 본 실시예에서는 제2멀티칩(500)이 더 채용됨으로써, 기판(1)이 차지하는 단위 면적당 설치되는 반도체칩의 수량이 증가된다.
- <293> 이상, 본 발명의 원리를 예시하기 위한 바람직한 실시예에 대하여 도시하고 설명하였으나, 본 발명은 그와 같이 도시되고 설명된 그대로의 구성 및 작용으로 한정되는 것이 아니다. 오히려, 첨부된 특허청구범위의 사상 및 범주를 일탈함이 없이 본 발명에 대한 다양한 변경 및 수정이 가능함을 당업자들은 잘 이해할 수 있을 것이다. 따라서, 그러한 모든 적절한 변경과 수정 및 균등물들도 본 발명의 범위에 속하는 것으로 간주되어야 할 것이다.

#### 【발명의 효과】

- <294> 본 발명에 따른 멀티칩 BGA 패키지에 의하면, 다음과 같은 발명의 효과가 나타난다.
- <295> 첫째, 재배선층에 감결합 커패시터의 전극판이 제공되는 구성으로써, 멀티칩 BGA 패키지의 두께가 증가되지 않으면서도 재배선칩내의 전원 전압 변동에 의해 발생하는 동시스위치 노이즈가 저감된다. 따라서, 재배선칩의 동작 속도가 향상되고 로직 폴트(logic fault)가 감소되어 이러한 멀티칩 BGA 패키지를 채용한 시스템이 안정적으로 동작되는 이점이 있다.

- <296>       둘째, 재배선칩에서의 동시스위치 노이즈가 저감됨에 따라, 이러한 동시스위치 노이즈에 따른 전자기파의 발생이 억제된다. 따라서, 시스템의 안정성이 향상되는 이점이 있다.
- <297>       셋째, 각각 상하 재배선칩상에 배치되는 한 쌍의 재배선내에 복수의 범프가 제공되는 구성으로써, 전기신호 전달경로상의 인덕턴스 및 저항이 저감된다. 따라서, 재배선칩의 전기신호 전달특성이 향상되는 이점이 있다.
- <298>       결론적으로, 위와 같은 구성을 가진 멀티칩 BGA 패키지에 의하여, 경박단소화되는 고속 대용량의 메모리장치가 가능하게 된다. 특히 본 발명에 따른 멀티칩 BGA 패키지에 의하면 동작 속도가 400Mbps 이상되는 고속 메모리용 제품이 제공될 수 있다.

## 【특허청구범위】

## 【청구항 1】

제1전원칩패드와 제1접지칩패드를 포함하는 제1칩패드가 마련된 제1반도체칩과, 상기 제1칩패드와 전기적으로 연결되는 제1재배선을 포함하는 제1재배선칩; 상기 제1전원칩패드와 상기 제1접지칩패드에 각각 전기적으로 연결되는 제2전원칩패드와 제2접지칩패드를 포함하는 제2칩패드가 마련된 제2반도체칩과, 상기 제2칩패드와 전기적으로 연결되는 제2재배선을 포함하고, 상기 제1 및 제2재배선이 서로 마주 보도록 상기 제1재배선칩상에 이격 배치되는 제2재배선칩; 상기 제1 및 제2재배선상에 각각 마련된 제1 및 제2범핑패드를 전기적으로 연결시키는 제1범프; 상기 제1재배선칩을 지지 고정하는 기판; 상기 제1재배선상에 마련된 본딩패드를 상기 기판과 전기적으로 연결시키는 본딩와이어; 및 상기 기판과 외부를 전기적으로 연결시키는 도전성 볼(conductive ball);을 구비한 멀티칩 BGA 패키지에 있어서,

상기 제1 및 제2재배선칩은, 제1 및 제2칩패드 위에 각각 형성되어 서로 대향되는 제1 및 제2전극판을 각각 포함하고;

상기 제1전극판은, 상기 제1전원칩패드 및 상기 제1접지칩패드 중에서 선택된 어느 하나와 전기적으로 연결되며;

상기 제2전극판은, 상기 제1전원칩패드 및 상기 제1접지칩패드 중에서의 나머지와 전기적으로 연결되는 상기 제2전원칩패드 및 상기 제2접지칩패드 중에서의 어느 하나와 전기적으로 연결되는 것;을 특징으로 하는 멀티칩 BGA 패키지.

**【청구항 2】**

제 1 항에 있어서, 상기 제1전극판은,

상기 제1반도체칩상에 마련되는 제1절연층 위에 형성되는 것을 특징으로 하는 멀티칩 BGA 패키지.

**【청구항 3】**

제 2 항에 있어서,

상기 제1절연층은 상기 제1칩패드가 노출되는 제1노출부를 포함하고;

상기 제1전극판은, 상기 제1전원칩패드 및 상기 제1접지칩패드 중에서 선택된 어느 하나와, 상기 제1노출부를 관통하여, 접촉하는 것;을 특징으로 하는 멀티칩 BGA 패키지

**【청구항 4】**

제 1 항에 있어서, 상기 제1전극판은,

상기 제1재배선이 적층되는 제1층에 형성되는 것을 특징으로 하는 멀티칩 BGA 패키지.

**【청구항 5】**

제 4 항에 있어서,

상기 제1전극판의 상하를 관통하는 제1슬롯(slot)이 상기 제1층에 제공되는 것을 특징으로 하는 멀티칩 BGA 패키지.

**【청구항 6】**

제 5 항에 있어서, 상기 제1재배선은,

상기 제1슬롯 내에 배치되는 것을 특징으로 하는 멀티칩 BGA 패키지.

**【청구항 7】**

제 6 항에 있어서, 상기 제1재배선은,

상기 제1슬롯의 폭과 상기 제1재배선의 폭의 비율에 따라 임피던스 제어(impedance control)가 이루어지는 제1코플레나 도파관(coplanar waveguide; CPW)을 포함하는 것을 특징으로 하는 멀티칩 BGA 패키지.

**【청구항 8】**

제 1 항에 있어서, 상기 제2전극판은,

상기 제2반도체칩상에 마련되는 제2절연층 위에 형성되는 것을 특징으로 하는 멀티칩 BGA 패키지.

**【청구항 9】**

제 8 항에 있어서,

상기 제2절연층은 상기 제2칩패드가 노출되는 제2노출부를 포함하고;

상기 제2전극판은, 상기 제1전원칩패드 및 상기 제1접지칩패드 중에서의 나머지와 전기적으로 연결되는 상기 제2전원칩패드 및 상기 제2접지칩패드 중에서의 어느 하나와, 상기 제2노출부를 관통하여, 접촉하는 것;을 특징으로 하는 멀티칩 BGA 패키지.

**【청구항 10】**

제 9 항에 있어서, 상기 제2전극판은,

상기 제2재배선이 적층되는 제2층에 형성되는 것을 특징으로 하는 멀티칩 BGA 패키지.

**【청구항 11】**

제 10 항에 있어서,

상기 제2전극판의 상하를 관통하는 제2슬롯이 상기 제2층에 제공되는 것을 특징으로 하는 멀티칩 BGA 패키지.

**【청구항 12】**

제 11 항에 있어서, 상기 제2재배선은,

상기 제2슬롯 내에 배치되는 것을 특징으로 하는 멀티칩 BGA 패키지.

**【청구항 13】**

제 12 항에 있어서, 상기 제2재배선은,

상기 제2슬롯의 폭과 상기 제2재배선의 폭의 비율에 따라 임피던스 제어(impedance control)가 이루어지는 제2코플레나 도파관(coplanar waveguide; CPW)을 포함하는 것을 특징으로 하는 멀티칩 BGA 패키지.

**【청구항 14】**

제 1 항에 있어서,

상기 제1재배선칩은, 상기 제1전극판에 대향되면서 상기 제1전극판을 기준으로 상기 제2전극판의 반대편에 배치되는 제3전극판을 더 포함하고,

상기 제3전극판은 상기 제1전원칩패드 및 상기 제1접지칩패드 중에서의 나머지와 전기적으로 연결되는 것을 특징으로 하는 멀티칩 BGA 패키지.

【청구항 15】

제 14 항에 있어서,

상기 제2재배선칩은, 상기 제2전극판에 대향되면서 상기 제2전극판을 기준으로 상기 제1전극판의 반대편에 배치되는 제4전극판을 더 포함하고,

상기 제4전극판은 상기 제1전원칩패드 및 상기 제1접지칩패드 중에서 선택된 어느 하나와 전기적으로 연결되는 상기 제2전원칩패드 및 상기 제2접지칩패드 중에서의 어느 하나와 전기적으로 연결되는 것을 특징으로 하는 멀티칩 BGA 패키지.

【청구항 16】

제 1 항에 있어서,

상기 제1재배선은, 상기 제1칩패드와 상기 제1범핑패드 사이, 또는 상기 제1범핑패드와 상기 제1본딩패드 사이에 제3범핑패드를 더 포함하고;

상기 제2재배선은 상기 제3범핑패드에 대응되는 제4범핑패드를 더 포함하며;

상기 제3 및 제4범핑패드를 전기적으로 연결시키는 제2범프를 더 포함하는 것;을 특징으로 하는 멀티칩 BGA 패키지.

【청구항 17】

제1칩패드를 포함하는 제1반도체칩 및 상기 제1칩패드와 전기적으로 연결되는 제1재배선을 포함하는 제1재배선칩; 상기 제1칩패드에 대응되는 제2칩패드를 포함하는 제2반도체칩 및 상기 제2칩패드와 전기적으로 연결되는 제2재배선을 포함하고, 상기 제1재

배선과 상기 제2재배선이 대향되도록 상기 제1재배선칩상에 이격 배치되는 제2재배선칩; 상기 제1 및 제2재배선상에 각각 형성된 제1 및 제2범핑패드를 전기적으로 연결시키는 제1범프; 상기 제1재배선칩을 지지 고정하는 기판; 상기 제1재배선상에 형성된 본딩패드를 상기 기판과 전기적으로 연결시키는 본딩와이어; 및 상기 기판과 외부를 전기적으로 연결시키는 도전성 볼;을 구비한 멀티칩 BGA 패키지에 있어서,

상기 제1재배선은, 상기 제1칩패드와 상기 제1범핑패드 사이, 또는 상기 제1범핑패드와 상기 제1본딩패드 사이에 제3범핑패드를 더 포함하고;

상기 제2재배선은 상기 제3범핑패드에 대응되는 제4범핑패드를 더 포함하며;

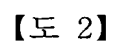
상기 제3 및 제4범핑패드를 전기적으로 연결시키는 제2범프를 더 포함하는 것;을 특징으로 하는 멀티칩 BGA 패키지.

**【청구항 18】**

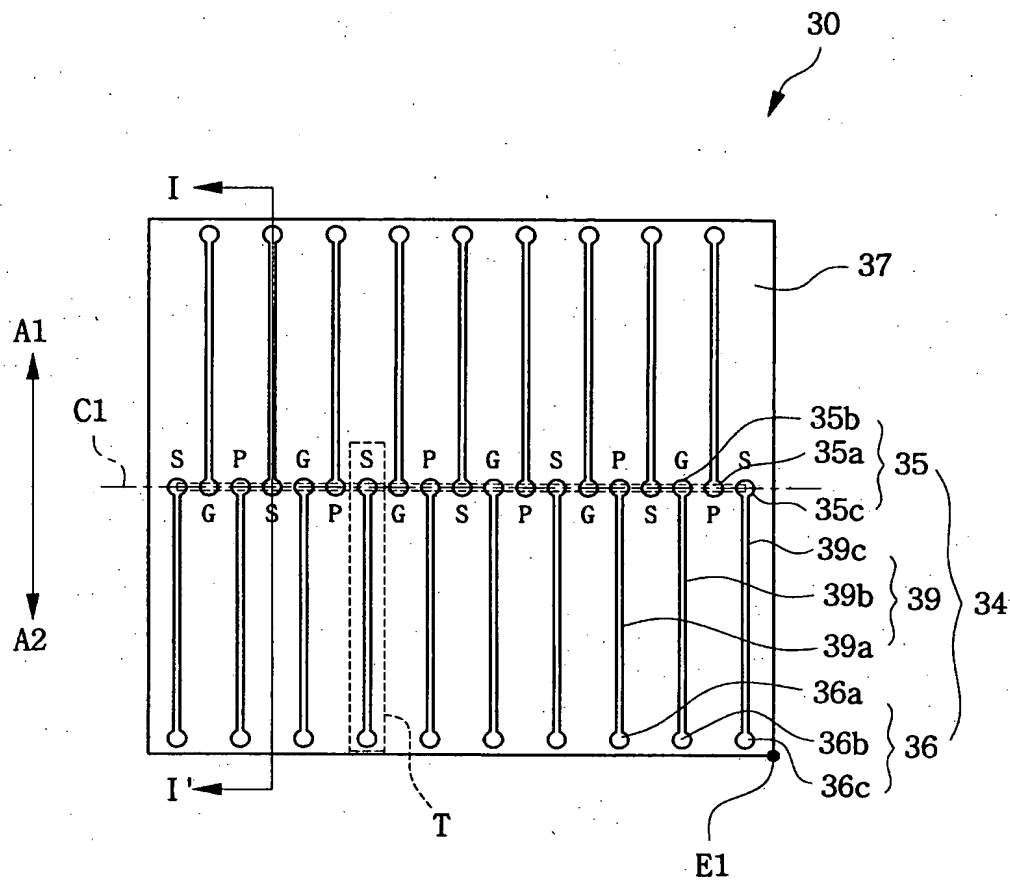
제 1 항 또는 제 17 항에 있어서,

상기 제1 및 제2재배선칩 사이에 더미 볼(dummy ball)을 더 포함하는 것을 특징으로 하는 멀티칩 BGA 패키지.

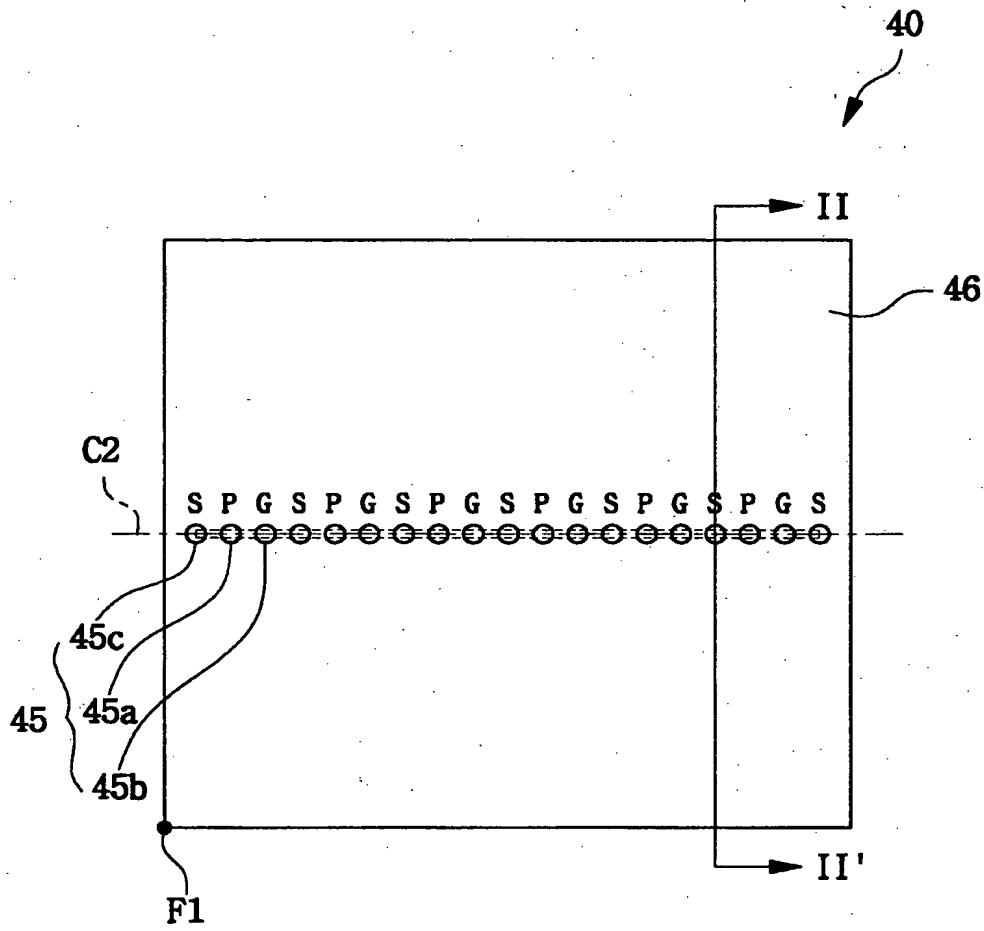
【도 1】



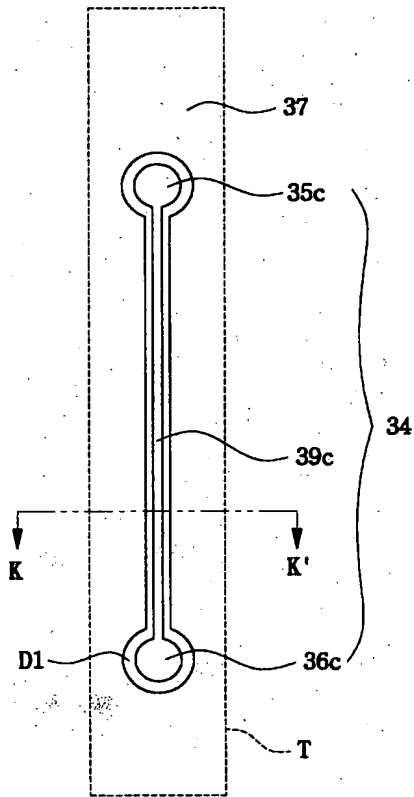
【도 3a】



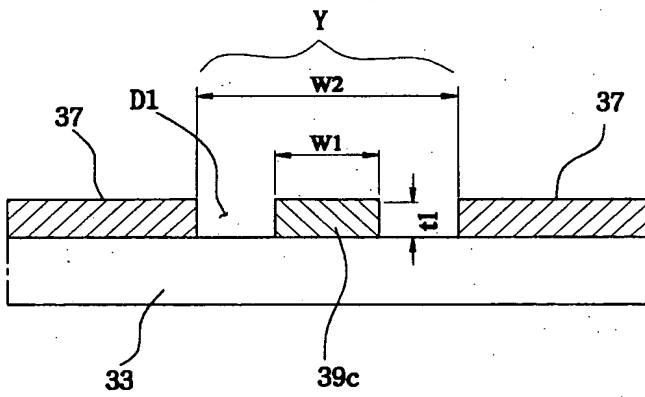
【도 3b】



【도 3c】

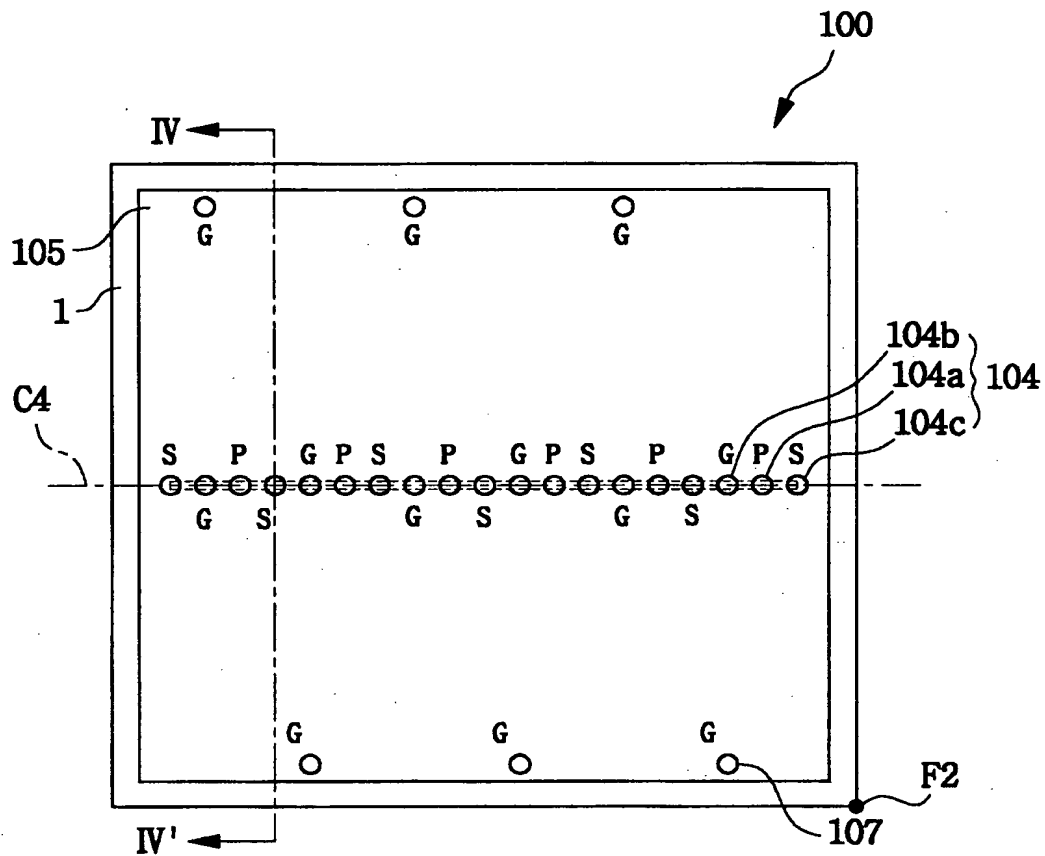


【도 3d】

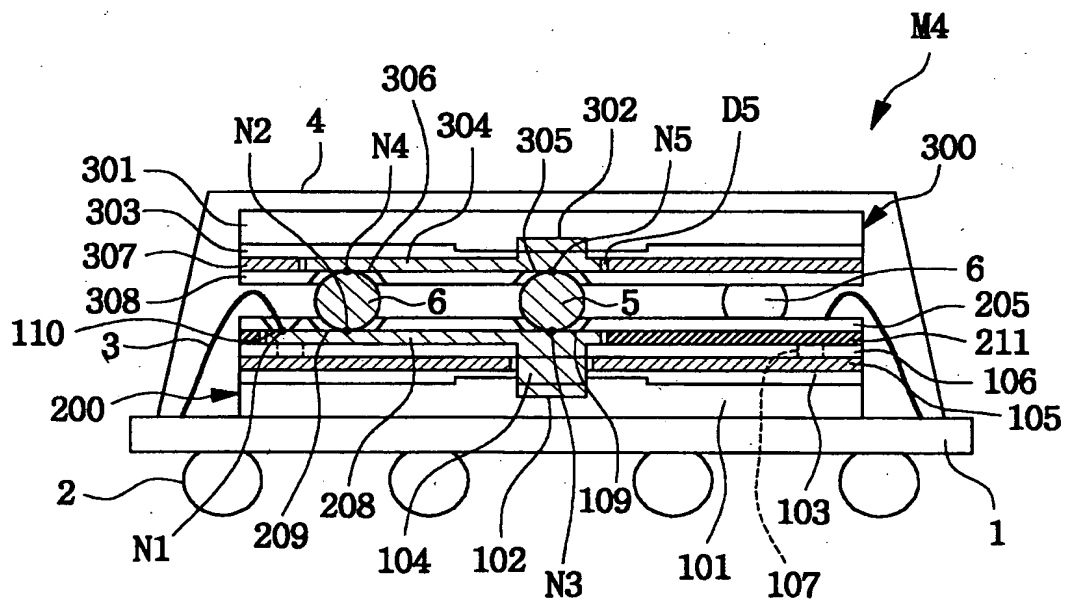


This diagram shows a cross-sectional view of a device assembly. A base substrate 1 is shown at the bottom, with several circular components 2 (possibly solder balls or vias) attached to its underside. A central component 5 is positioned on the substrate. Above component 5 is a multi-layered structure 4. This structure includes a central core 45, surrounded by layers 41, 42, 43, 46, and 47. The layers 46 and 47 are hatched, indicating different materials. The entire assembly is supported by a base 100. Various other components and layers are labeled with numbers: 101, 102, 103, 104, 105, 106, 107, 108, 109, 110, 111, 112, D2, D3, D4, and M3. Arrows J and J' indicate specific directions or forces.

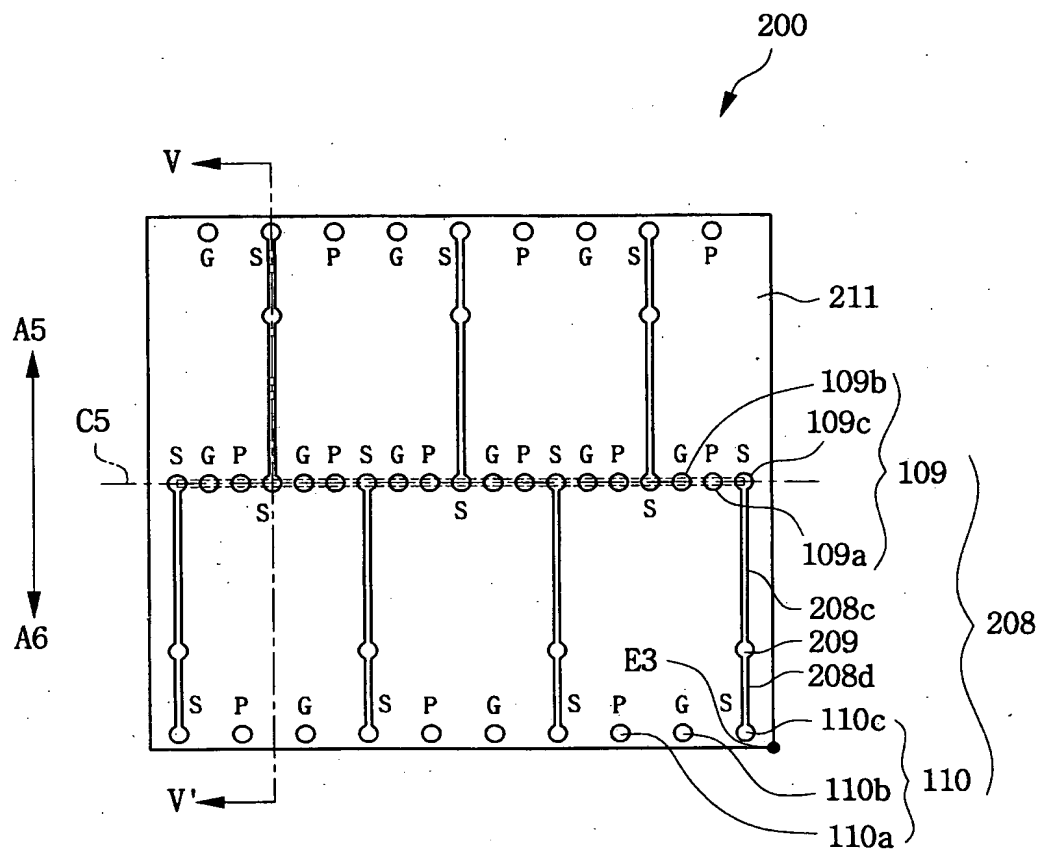
【도 5b】



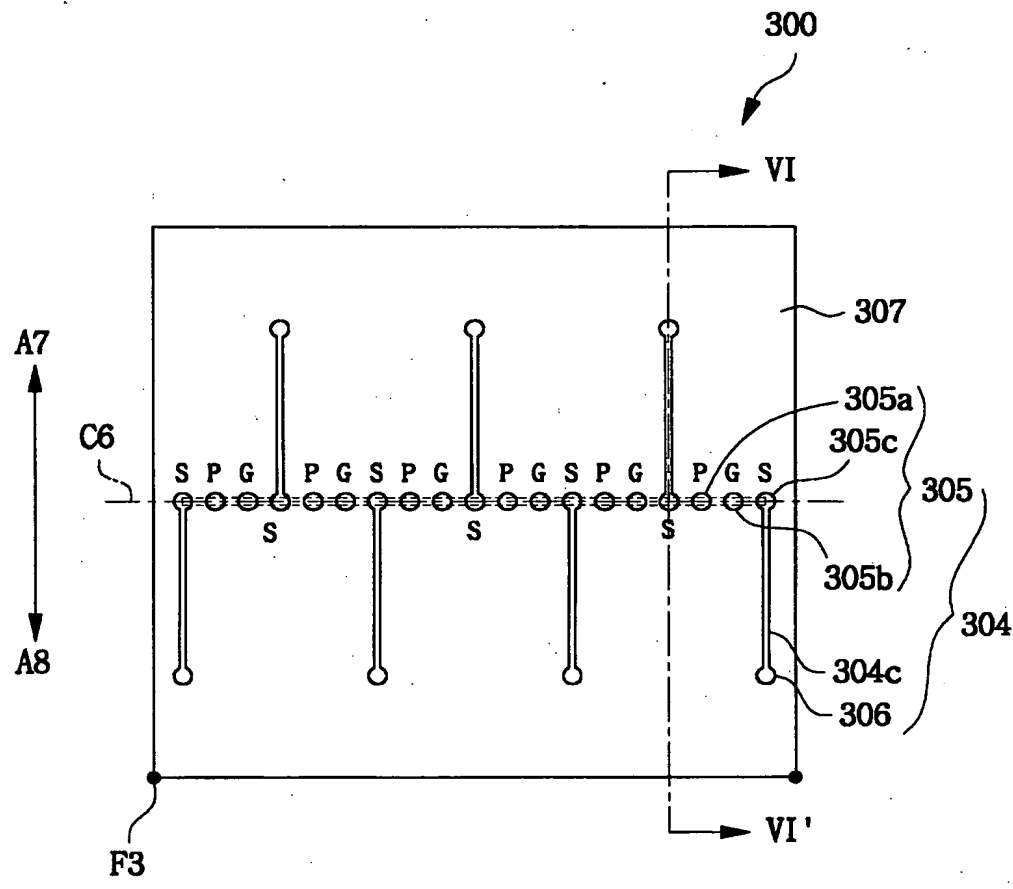
【도 6】



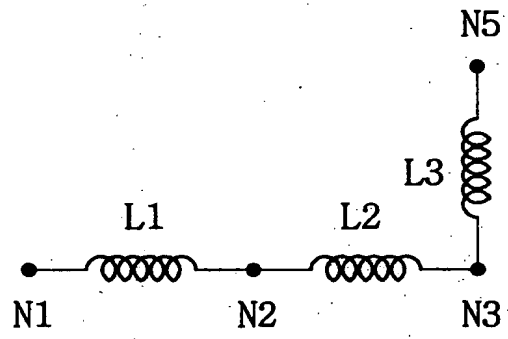
【도 7a】



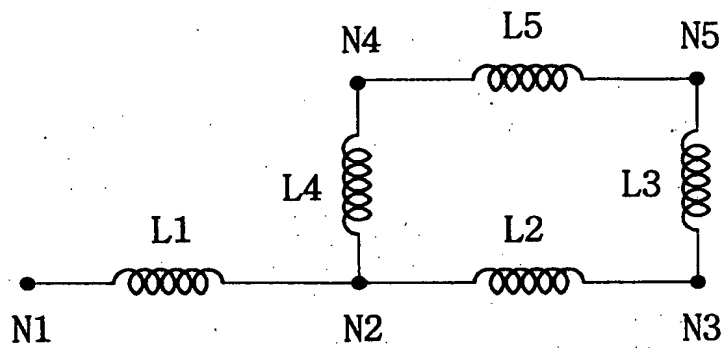
【도 7b】



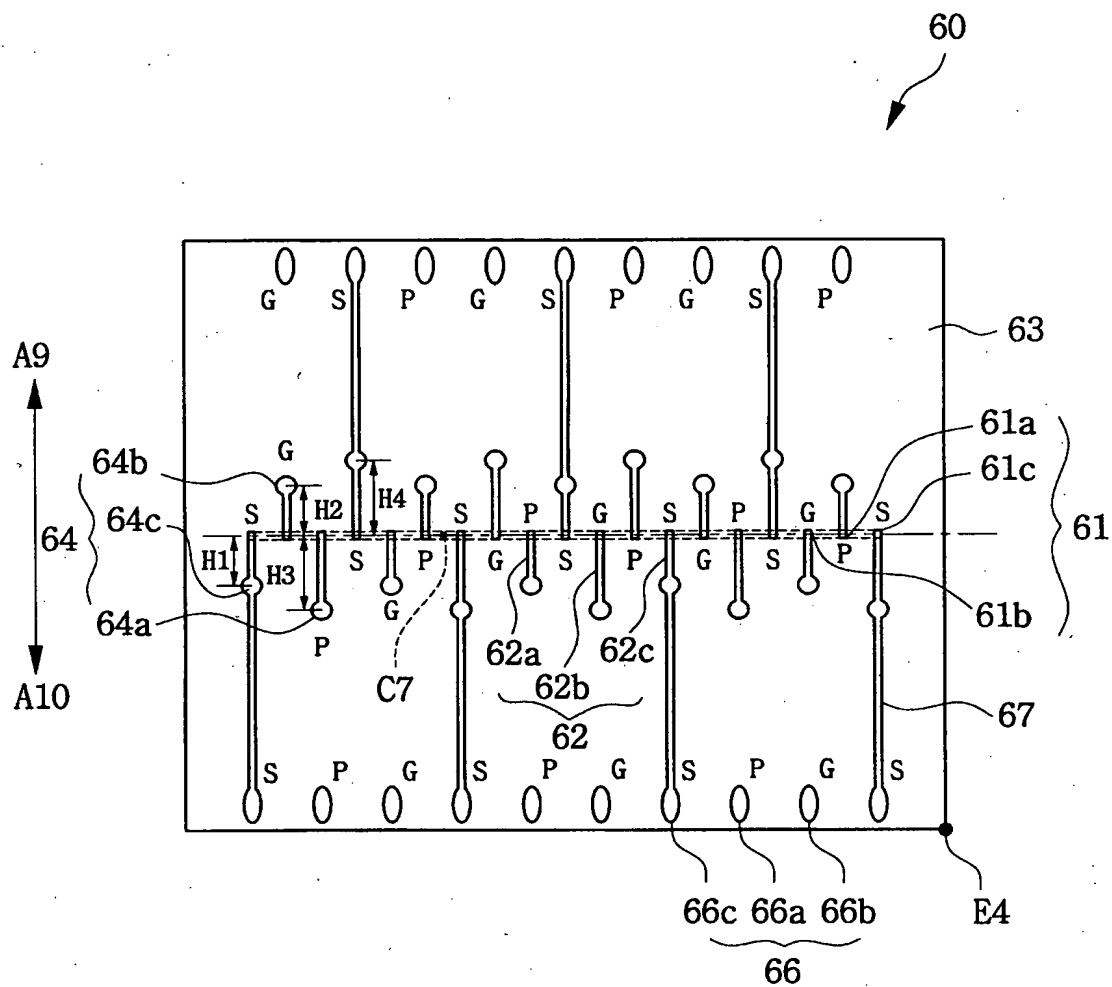
【도 8a】



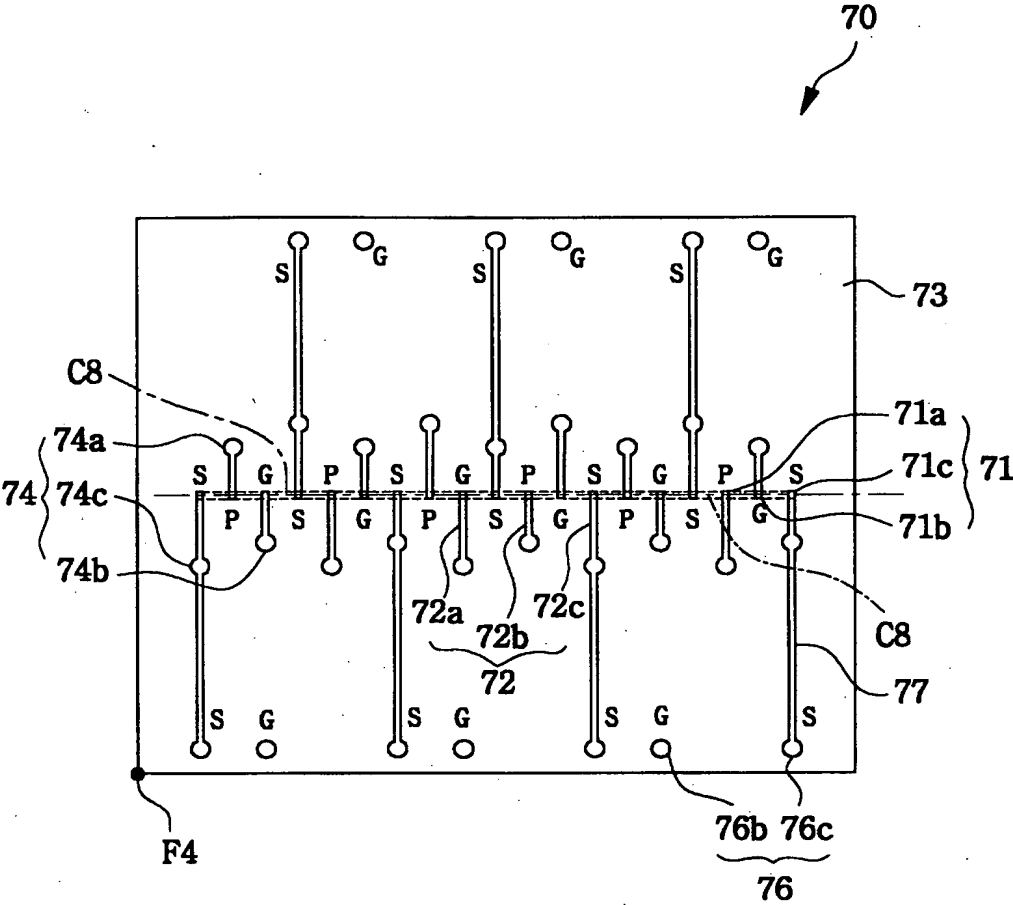
【도 8b】



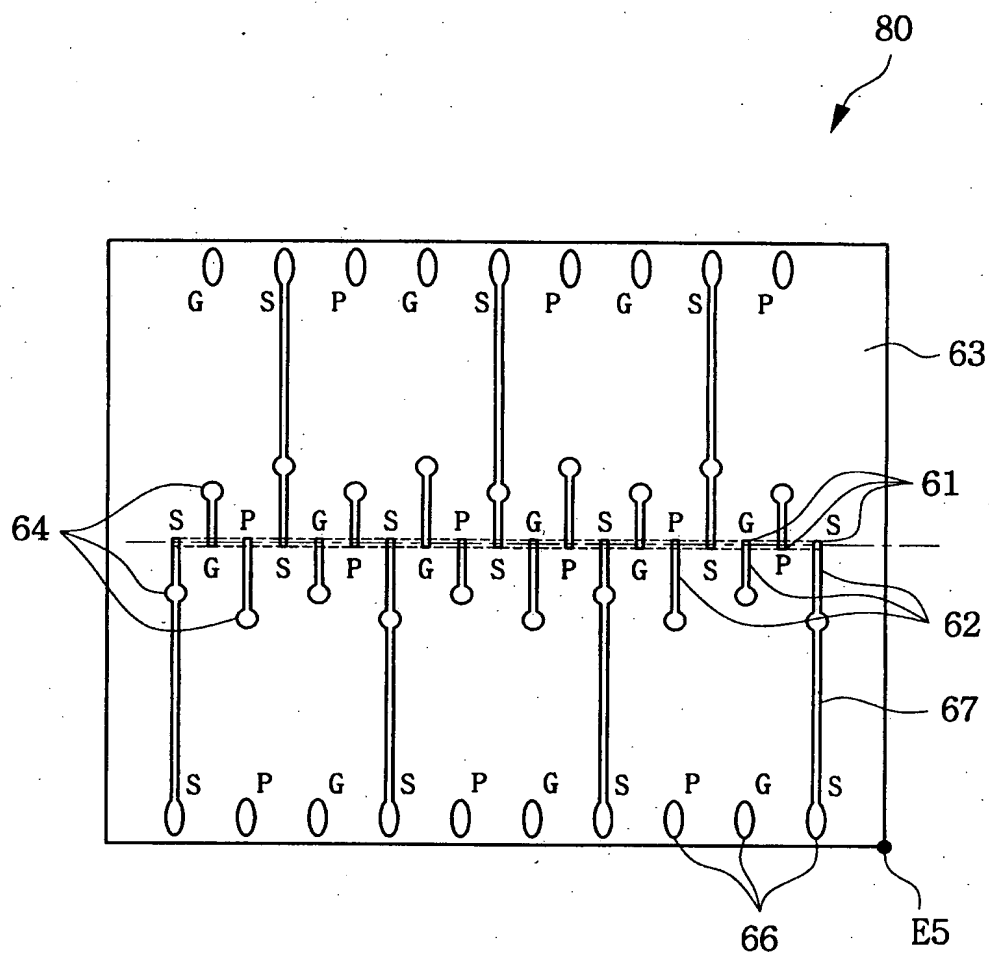
【도 9a】



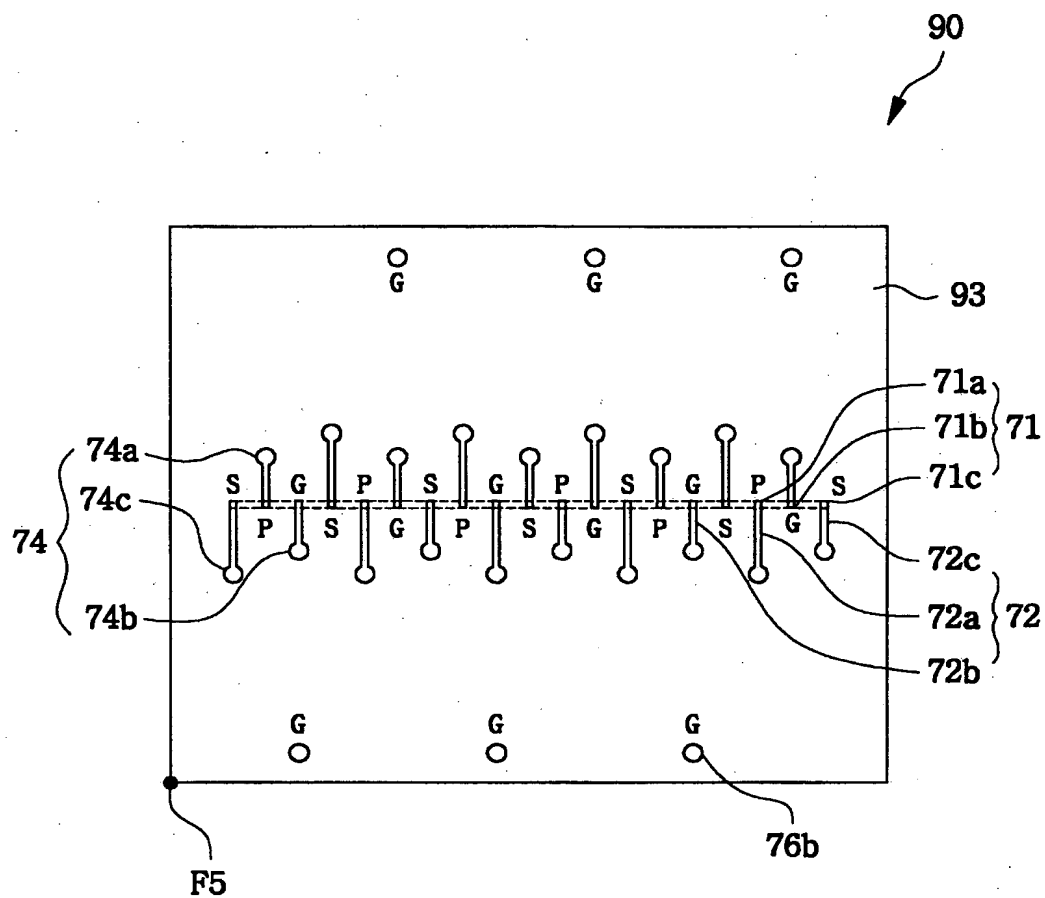
【도 9b】



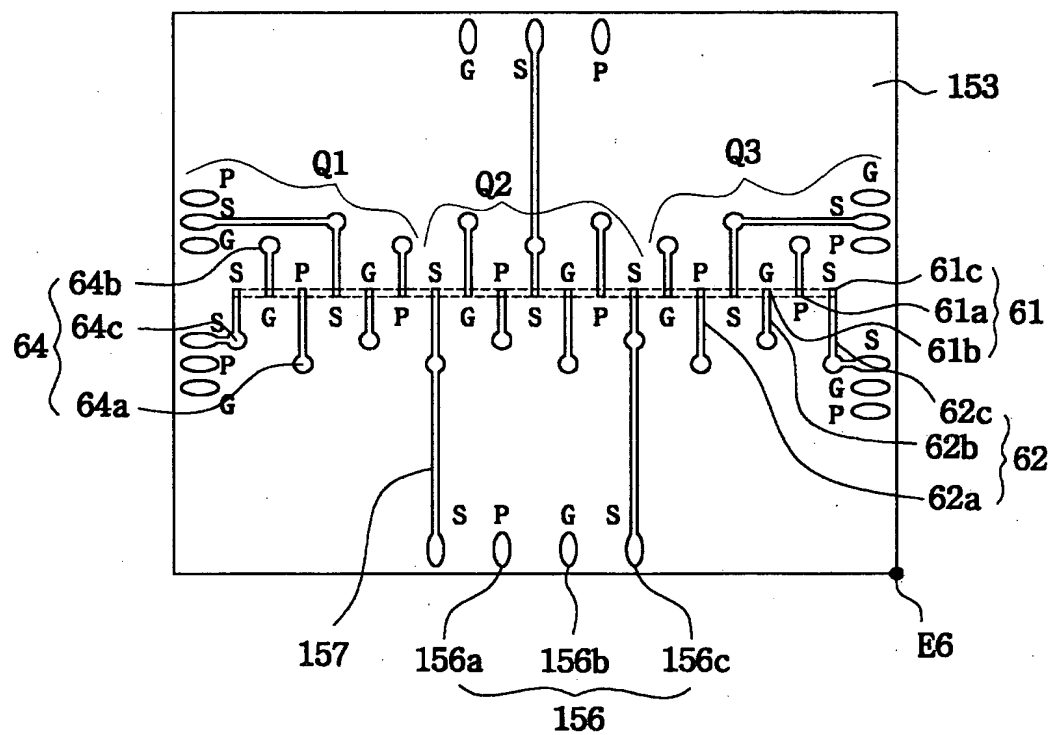
【도 10a】



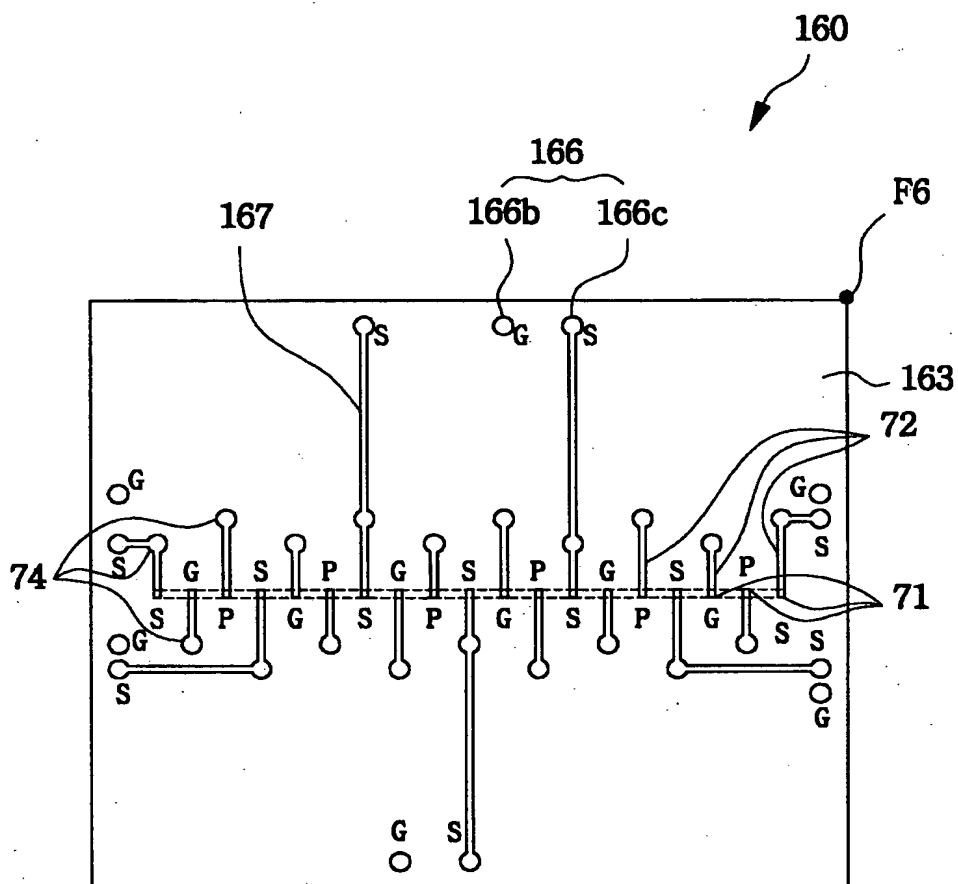
【도 10b】



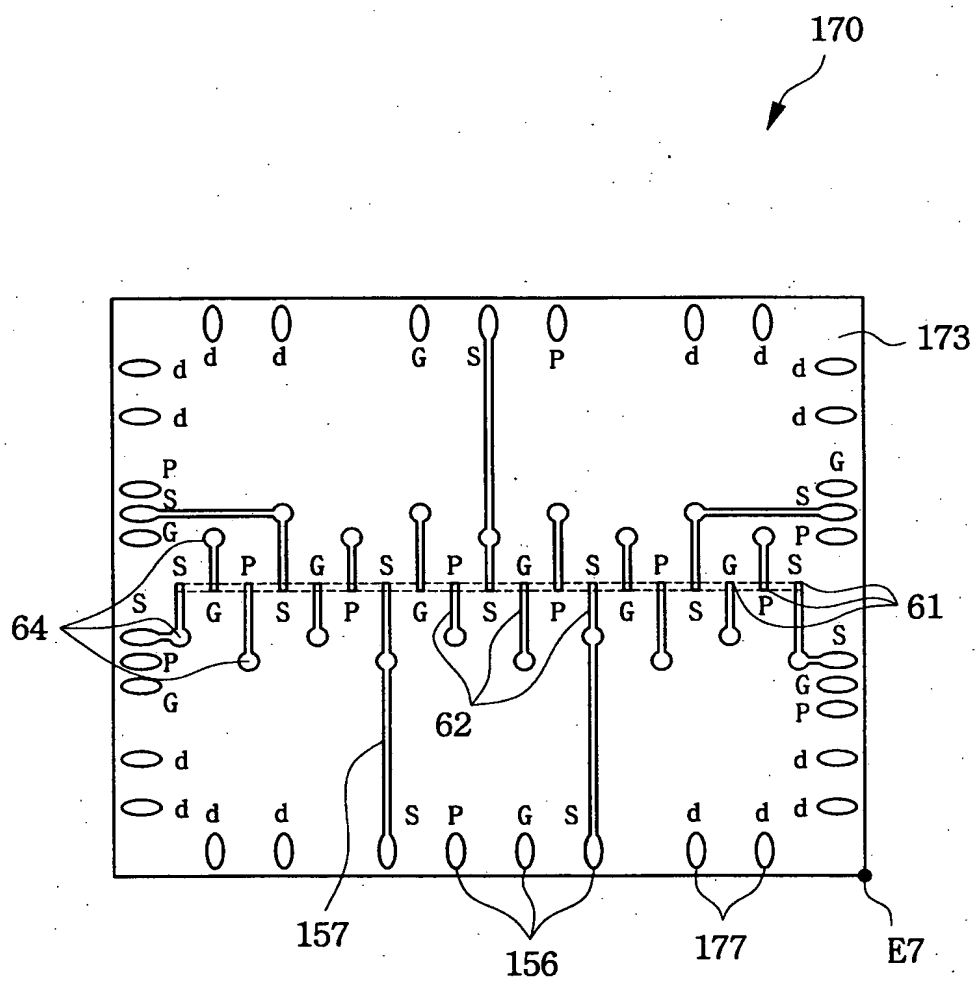
150



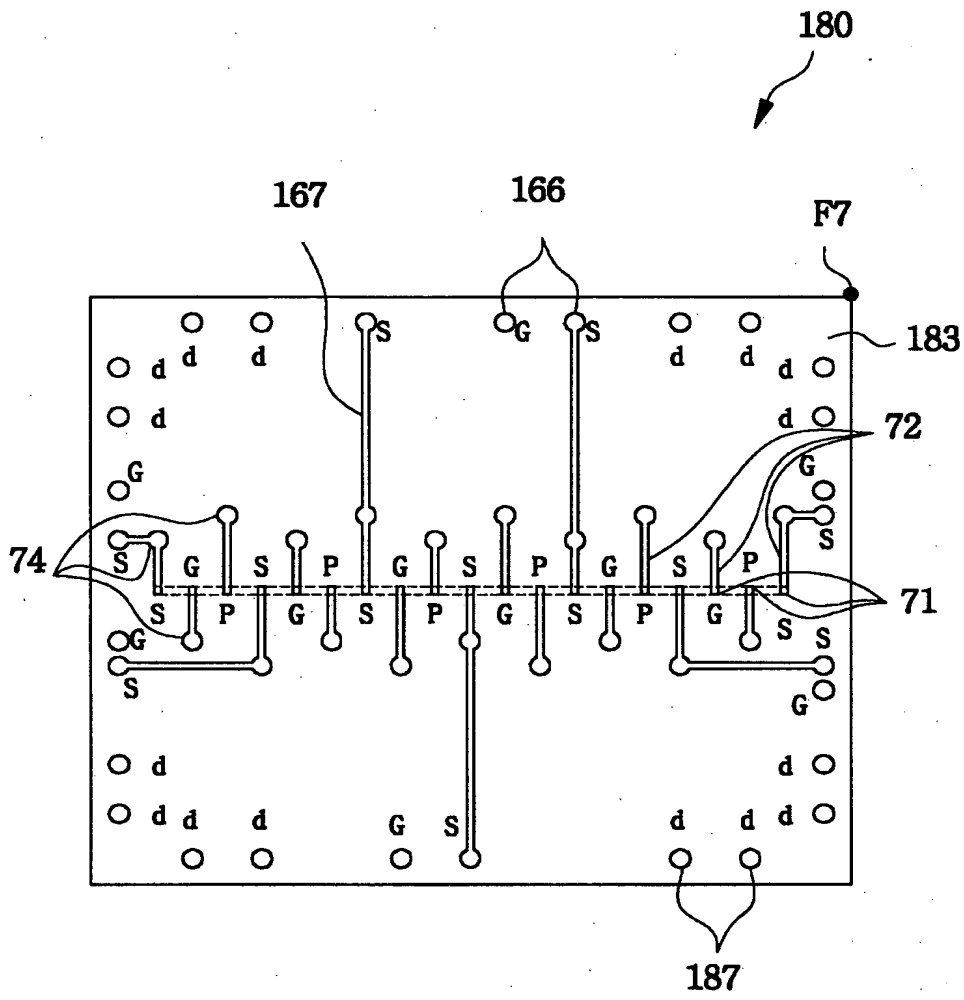
【도 11b】



【도 12a】



【도 12b】



【도 13】

